DESAIN DAN IMPLEMENTASI IDFT (INVERSE DISCRETE FOURIER TRANSFORM) PADA FPGA

Ali Wardana[1], Jangkung Raharjo[2], Iswahyudi Hidayat[3]

[1]Teknik Telekomunikasi, Fakultas Teknik Elektro, Universitas Telkom

Abstrak

-

Kata Kunci : -

Abstract

-

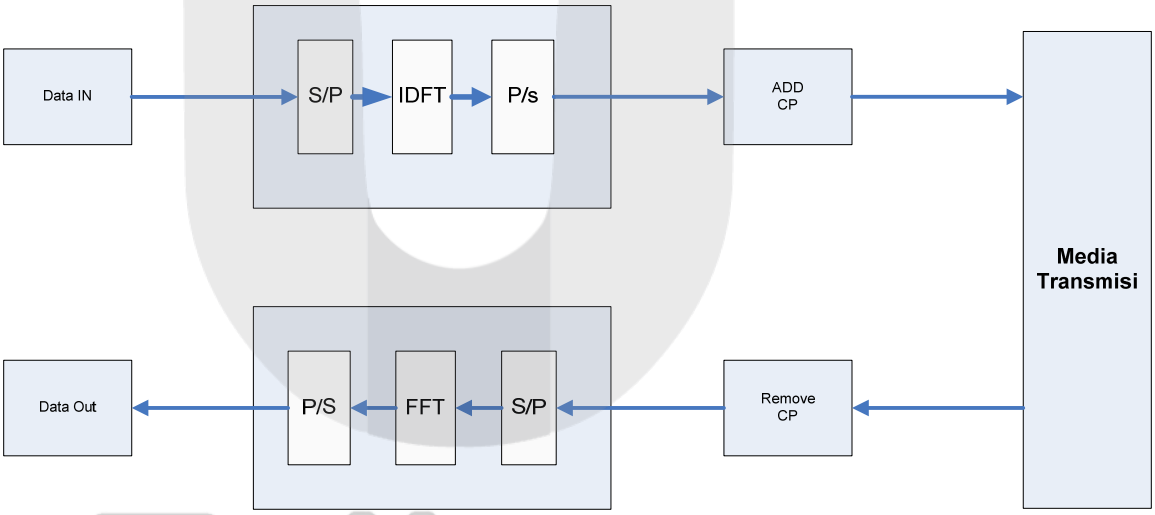
Keywords : -

BAB I
PENDAHULUAN

1.1 Latar Belakang.

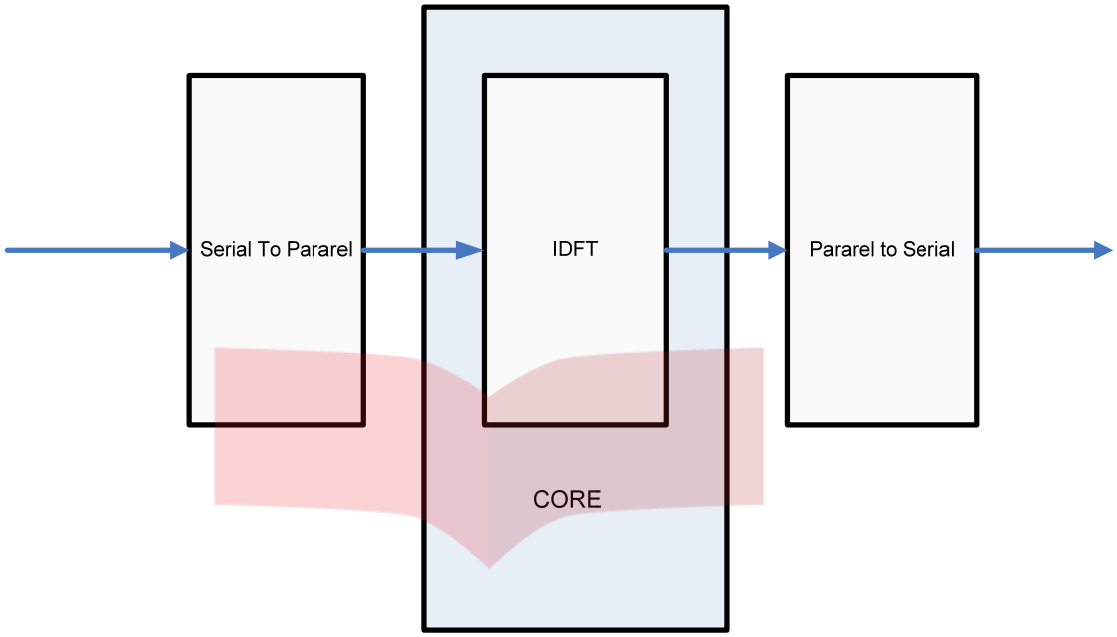
OFDM (Orthogonal Frequency Division Multiplexing) adalah suatu sistem transmisi dengan banyak frekuensi. Prinsip dasar OFDM adalah membagi laju data kecepatan tinggi menjadi beberapa laju data kecepatan rendah yang ditransmisikan secara simultan dengan menggunakan beberapa *subcarrier* yang saling orthogonal.

OFDM membutuhkan beberapa frekuensi carrier. Karena itu dibutuhkan beberapa osilator, mixer, dan filter untuk input OFDM. Untuk mengurangi tingkat kompleksitas pada penerim OFDM, maka digunakan *DFT(Discrete Fourier Transform).* Sedangkan pada bagian pemancar digunakan *Inverse DFT (IDFT*).



Gambar 1.1. sistem transmiter pada OFDM

Pada Tugas akhir ini akan dirancang sebuah perangkat IDFT dan di implementasikan mengunakan *FPGA (Filed Programmable Gate Array).* Sehingga akan didapatkan sinyal IDFT.



Gambar 1.2. Diagaram block perangkat

Cara kerja perangkat ini adalah inputan IDFT di dapatkan dari memory. Lalu masukan diberikan ke bagian prosess IDFT untuk di ubah dari domain frekuensi ke domain waktu.

1.2 Tujuan Penulisan

Tujuan dalam tugas akhir ini adalah :

1. Merancang dan IDFT 8 point dengan bahasa deskripsi hardware VHDL.
2. Mengimplementasikan hasil rancangan IFFT 8 point ke FPGA.
3. Menganalisis kinerja sistem yang telah diimplementasikan.

1.3 Rumusan Masalah

Sesuai dengan tujuan, rumusan masalah dalam penelitian ini, perancangan IFFT 8 point dengan bahasa deskripsi hardware VHDL dengan metode *Top down design* yakni dengan menentukan struktur arsitekture utama kemudia diturunkan menjadi komponen – komponen utama dan komponen pendukung, serta menghubungkan tiap – tiap komponen sehingga bisa diimplementasikan pada FPGA.

1. 4 Batasan masalah

Adapun batasan masalah pada tugas akhir ini adalah:

1. IDFT yang dirancang 8 point.
2. Input yang digunakan *data vetcor 32 bit floating point*.
3. *Noise* pada rankaian dianggap tidak ada.
4. Simulasi mengguanakan software model sim 6.0 dan synthesis mengunakan software Xilinx ISE 7.1.03.

1.5 Metode Penelitian

Adapun metode penelitian yang dilakuakan:

1. Studi literatur : Melakukan kajian terhadap teori-teori yang berhubungan dengan penelitian yang dikerjakan antaralain : Pengolahan sinyal digital, transformasi fourier, OFDM, fungsi matematis dengan VHDL.
2. Menentukan spesifikasi sistem : Merancang arsitektur IFFT lalu menurunkan arsitektur menjadi komponen – komponen utama dan komponen pendukung.
3. Melakukan permodelan rancangan dengan VHDL, lalu melakukan simulasi dengan modelsim.
4. Melakukan *synthesis, implementasi* pada chip target *FPGA Xilinx Virtex 4 4vlx25sf363-10*.
5. Melakuakan analisis *performance* pada perangkat yang telalah dibuat sehingga didapat kinerja yang paling optimal.

1.6 Sistematika Penulisan

Penulisan menggunakan sistematika sebagai berikut :

a. **BAB I : Pendahuluan**

   Bab ini membahas latar belakang, tujuan penulisan, perumusan masalah, batasan masalah dan sistematika penulisan.

b. **BAB II : Dasar teori**

   Bab ini membahasa dasar teori yang berhubungan dengan perancangan sistem yaitu : FFT dan IFFT, VHDL dan FPGA.

c. **BAB III : Perancangan sistem**

BAB III ini menjelaskan arsitektur IFFT yang dirancang, juga termasuk komponen – komponen yang menyusun arsitektur tersebut dan menjelaskan tahapan implementasi pada FPGA.

d. **BAB IV : Analisis Implementasi**

Berisi tentang pengujian dan analisis hasil implementasi.

e. **Bab V : Kesimpulan dan saran**

Berisi tentang kesimpulan hasil penelitian ini dan saran yang mungkin dilakukan untuk penelitian selanjutnya.

BAB V
KESIMPULAN DAN SARAN

5.1 Kesimpulan

1. Resource target device hasil synthesis advance lebih besar dari pada synthesis standard. Yaitu dengan pengunaan slice 10%, flipflop 3%, LUT (Look Up table) 6% ,IOB 28% dan GCLK 46%.
2. Hasil gates ekivalen antara advance dengan standar synthesis tidak jauh berbeda yaitu advance sythesis sebanyak 9,471ekivalen gates dan standard synthesis sebanyak 9,452 ekivalen gates.

5.2 Saran

1. Point IFFT perlu ditingkatkan sehingga core bisa digunakan untuk sistem yang lebih baik.
2. Resource FPGA bisa dikurangi dengan mengganti system data floating point ke data integer. Tanpa mengganti architecture. hanya mengganti adder dan multiply.

Telkom University

DAFTAR PUSTAKA

[1] Oppenheim V.Alan & Scafer Ronald. "*Discrete-Time Signal Processing*" Prentice Hall, 1989.

[2] Browy C, Gullikson Glenn and Indovina Mark. " *A Top Down Approach to IC Design*". Integrated Circuit Design Methodology Guide, Draft January 1997.

[3] R Miller, " *Development and Verification of Parameterized Digital Signal Processing for Microelectronic System*", The University of Tennersee, knoxvile.

[4] Douglas L.Perry," *VHDL Programming by example*", McGraw Hill, 2005.

[5] Pedroni A. Volnei, " *Circuit Design with VHDL*", MIT press, 2004.

[6] Mayer Uwe."Digital Signal Processing with Field Programmable Gate Arrays", Springer.

[7] Ray Ranjan Varghese. "Design, Simulation and Synthesis FTT processor using VHDL". Mahatma Gandi University. 2001