

KATA PENGANTAR

Assalamu'alaikum Warahmatullahi Wabarakatuh

Alhamdulillah, segala puji bagi Allah SWT yang telah memberikan hidayah, rahmat serta limpahan berkah-Nya. Shalawat serta salam penulis sampaikan kepada Rasulullah Muhammad SAW, serta keluarga, para sahabat dan pengikutnya hingga yaumul akhir. Alhamdulillah, dengan segala limpahan nikmat yang di berikan Allah SWT penulis dapat menyelesaikan Tugas Akhir yang berjudul : “PERANCANGAN DAN IMPLEMENTASI TURBO ENCODER PADA LTE BERBASIS FPGA”, yang disusun sebagai persyaratan menempuh sidang tugas akhir pada Program Studi Teknik Telekomunikasi Universitas Telkom Bandung.

Dalam penulisan tugas akhir ini, penulis menyadari masih banyak kekurangan karena keterbatasan ilmu yang dimiliki. Untuk itu penulis sangat menerima segala kritik dan saran yang bersifat membangun dari semua pihak. Kritik dan saran dapat ditujukan ke email afakhriy@gmail.com.

Sebagai penutup, penulis memohon maaf atas segala kesalahan yang penulis lakukan selama menyelesaikan tugas akhir ini. Semoga tugas akhir ini bermanfaat bagi penulis sendiri dan pembaca.

Wassalamu'alikum Warahmatullahi Wabarakatuh.

Bandung, Januari 2015

Penulis

DAFTAR ISI

HALAMAN JUDUL

LEMBAR PENGESAHAN

LEMBAR PERNYATAAN ORISINALITAS

LEMBAR PERSEMBAHAN

ABSTRAK.....	i
ABSTRACT.....	ii
KATA PENGANTAR.....	iii
UCAPAN TERIMA KASIH.....	iv
DAFTAR ISI.....	vi
DAFTAR GAMBAR.....	ix
DAFTAR TABEL.....	xi
BAB I PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Tujuan	2
1.3 Rumusan Masalah	2
1.4 Batasan Masalah	3
1.5 Metode Penelitian	3
1.6 Sistematika Penulisan	3
BAB II LANDASAN TEORI	5
2.1 Teknik Pengkodean	5
2.1.1 Teknik Pengkodean Kanal pada LTE.....	6
2.2 <i>Turbo Code</i>	8
2.2.1 <i>Turbo Encoder</i>	9
2.2.1.1 <i>Internal Interleaver</i>	10
2.2.2 <i>Rate Matching</i>	11
2.2.2.1 <i>Sub-Block Interleaver</i>	11
2.2.2.2 <i>Bit Collection</i>	12

2.2.2.3	<i>Bit Selection and Pruning</i>	12
2.2.3	<i>Turbo Decoder</i>	13
2.3	<i>Field Programmable Gate Array (FPGA)</i>	13
2.4	<i>Very High-Speed Integrated Circuit Hardware Description Language (VHDL)</i>	16
BAB III PERANCANGAN DAN IMPLEMENTASI SISTEM <i>TURBO ENCODER</i>		
	<i>ENCODER</i>	18
3.1	Diagram Alir Perancangan dan Implementasi	18
3.2	Pemodelan Sistem <i>Turbo Encoder</i> Secara Teori	20
3.2.1	<i>Contituent Encoder</i>	21
3.2.2	Pemodelan <i>Quadratic Permumtation Polynomial (QPP) Interleaver</i> ..	23
3.2.3	<i>Rate Matching</i>	24
3.2.3.1	<i>Bit Collection, Selection, and Transmission</i>	26
3.3	Perancangan Implementasi Sistem Turbo Encoder pada FPGA.....	29
3.4.	Validasi Hasil Simulasi <i>Software ISim</i> dan <i>Chipscope</i>	30
BAB IV PENGUJIAN DAN ANALISIS SISTEM <i>TURBO ENCODER</i>		
4.1	Skenario Pengujian.....	32
4.1.1	Simulasi Sistem pada Xilinx 14.5.....	32
4.1.1.1	Simulasi <i>QPP Interleaver</i>	32
4.1.1.2	Simulasi Blok <i>Turbo</i>	33
4.1.1.3	Simulasi Blok <i>Sub-Interleaver</i>	34
4.1.1.4	Simulasi Blok <i>Bit Selection</i>	36
4.1.2	Implementasi Sistem <i>Turbo Encoder</i>	37
4.1.2.1	<i>Design Entry</i>	38
4.1.2.2	<i>Assigned Package PIN</i>	38
4.1.2.3	<i>Synthesize</i>	39
4.1.2.4	<i>Implement Design and Programming File</i>	43
4.1.3	Analisis Hasil Implementasi.....	44

4.2	Hasil Implementasi <i>Turbo Encoder</i>	45
BAB V KESIMPULAN DAN SARAN		48
5.1	Kesimpulan	48
5.2	Saran	48
DAFTAR PUSTAKA.....		49
LAMPIRAN A		