

## BAB I

### PENDAHULUAN

#### 1.1 Latar Belakang

Peningkatan *Quality of Service* (QoS) diperlukan dalam perkembangan teknologi saat ini. Perkembangan teknologi saat ini seperti *Long Term Evolution* (LTE) membutuhkan *bandwidth* yang cukup besar, tetapi *resource bandwidth* yang ada sangat terbatas, sehingga diperlukan penanganan *bandwidth* secara efisien. Untuk meningkatkan *Quality of Service* (QoS) salah satunya adalah dengan mengurangi tingkat kesalahan yang diterima pada *receiver*. Salah satu bentuk rekayasa yang dilakukan untuk mengurangi kesalahan bit pada penerima adalah dengan mengkodekan informasi yang akan dikirimkan atau dikenal dengan sebutan teknik pengkodean kanal (*channel coding*). Teknik *channel coding* yang diterapkan pada *Long Term Evolution* (LTE) adalah *convolutional coding* dan *turbo coding* yang terletak pada *Transport Channels* (TrCHs). Teknologi sebelumnya yaitu *Global System for Mobile* (GSM) hanya menggunakan *convolutional coding* pada *Traffic Channels* (TCHs) dan *Control Channels* (CCHs) yang lebih rendah *data rate*-nya dibandingkan dengan LTE [4]. Perbandingan antara *convolutional coding* dan *turbo coding* terletak pada *reliability* dan *efficiency* pada proses transmisi di teknologi LTE [3]. Teknik pengkodean *turbo code* pada LTE dapat diterapkan pada perangkat di sisi *transmitter* maupun *receiver*. Pada sisi *transmitter*, perangkat ini disebut dengan *turbo encoder* [2].

Dari penjelasan di atas, dilakukan sebuah perancangan *Turbo Encoder* yang mengacu pada standar *3<sup>rd</sup> Generation Partnership Project* (3GPP) [4] yaitu pada *Downlink Shared Channel* (DL-SCH), *Paging Channel* (PCH) dan *Multicast Channel* (MCH). Pada penelitian sebelumnya yang dilakukan oleh Goor Santosh, DR. S. Rajaram<sup>[11]</sup> telah berhasil mendesain dan mengimplementasikan *Turbo Coder for LTE on FPGA*. Pada penelitian lain yang telah dilakukan oleh K. Kalyani, A. Skahti Amutha Vardhini, S. Rajaram<sup>[7]</sup> juga telah berhasil mendesain dan mengimplementasikan *Turbo Decoder* untuk standar LTE. Akan tetapi kedua penelitian tersebut belum memenuhi proses *Transport Channel* di LTE.

Dari pemaparan di atas, pada tugas akhir ini dirancang sebuah *prototype Turbo Encoder* sesuai dengan proses *Transport Channel* di LTE sehingga diperoleh desain elektronik digital yang berbasis *software* atau *Very Large Scale Integration (VLSI) chip design*. *Software* yang digunakan dalam perancangan tugas akhir ini adalah Xilinx ISE Design Suite 14.5 dan menggunakan bahasa pengkodean *VHSIC Hardware Description Language (VHDL)*. Setelah *prototype* sistem berhasil dirancang, selanjutnya ditanamkan pada *board* FPGA ATLYS Spartan-6 XC6SLX45 CSG324C.

## 1.2 Tujuan

Tujuan dari penelitian yang dilakukan adalah :

1. Merancang sebuah *prototype turbo encoder* yang digunakan pada proses *Transport Channel (TrCHs)* pada teknologi LTE.
2. Mengimplementasikan konsep *turbo encoder* pada FPGA dengan menggunakan Xilinx Tool
3. Menganalisis utilisasi *resource* dan membandingkan hasil keluaran *turbo encoder* dengan *generator code*

## 1.3 Rumusan Masalah

Rumusan masalah dalam penelitian ini adalah sebagai berikut :

1. Menurunkan konsep *turbo code* ke dalam bahasa pengkodean VHDL
2. Melakukan rancangan dan implementasi pada FPGA ATLYS Spartan-6 XC6SLX45 CSG324C. untuk mendapatkan *prototype IC turbo encoder* dengan bahasa VHDL
3. Pengujian hasil implementasi *prototype turbo encoder* yang telah dirancang pada FPGA ATLYS Spartan-6 XC6SLX45 CSG324C menggunakan *software Chipscope*

#### **1.4 Batasan Masalah**

Batasan masalah yang digunakan dalam tugas akhir ini sebagai berikut :

1. Perancangan dan implementasi hanya pada bagian pengirim
2. Teknik pengkodean kanal hanya pada *Transport Channel* (TrCHs) yaitu pada *Downlink Share Channel* (DL-SCH), *Paging Channel* (PCH) dan *Multicast Channel* (MCH)
3. Menggunakan standar 3GPP LTE *release* 8
4. *Code rate* yang digunakan adalah  $\frac{1}{3}$
5. Pembahasan hanya di level *baseband* dan pengolahan bit secara digital
6. FPGA yang digunakan adalah FPGA ATLYS Spartan-6 XC6SLX45 CSG324C.
7. Menggunakan *software* Xilinx ISE 14.5

#### **1.5 Metode Penelitian**

Metode penelitian yang digunakan dalam penulisan Tugas Akhir ini adalah:

1. Melakukan studi literatur dari buku, jurnal, dan referensi lain yang relevan dengan mempelajari hal-hal yang berkaitan dengan perencanaan sistem tersebut.
2. Proses perencanaan yang meliputi pemodelan, pembuatan sistem, dan hasil implementasi sistem.
3. Perancangan arsitektur rangkaian menggunakan bahasa VHDL dengan *software* Xilinx.
8. Implementasi rangkaian pada FPGA Xilinx ATLYS Spartan-6 XC6SLX45 CSG324C.

#### **1.6 Sistematika Penelitian**

Sistematika penulisan yang digunakan pada tugas akhir ini adalah :

#### **BAB I: PENDAHULUAN**

Bab ini berisi uraian singkat mengenai latar belakang permasalahan, tujuan, rumusan masalah, batasan masalah, metode penelitian dan sistematika penelitian.

## BAB II: DASAR TEORI

Bab ini berisi uraian konsep dan dasar teori secara umum yang mendukung dalam perancangan *turbo encoder* yang dilakukan dalam tugas akhir ini.

## BAB III: PEMODELAN DAN SIMULASI SISTEM

Bab ini berisi uraian gambaran dan penjelasan mengenai pemodelan dan simulasi perancangan *turbo encoder*.

## BAB IV: PENGUJIAN DAN ANALISA SISTEM

Bab ini menguraikan tentang pengujian pada setiap blok penyusun sistem *turbo encoder*, penjelasan mengenai skenario implementasi serta pengujian sistem pada FPGA dan analisa terhadap hasil yang dikeluarkan

## BAB V: KESIMPULAN DAN SARAN

Pada bab ini merupakan bab terakhir dari laporan tugas akhir yaitu berupa kesimpulan untuk sistem yang penulis kerjakan, serta saran untuk penelitian berikutnya.