

# DAFTAR ISI

HALAMAN JUDUL	
LEMBAR PENGESAHAN	
LEMBAR PERNYATAAN ORISINALITAS	
UCAPAN TERIMA KASIH	
ABSTRAK.....	i
ABSTRACT.....	ii
KATA PENGANTAR.....	iii
DAFTAR ISI.....	iv
DAFTAR GAMBAR.....	vi
DAFTAR TABEL.....	viii
BAB I PENDAHULUAN.....	1
1.1 Latar Belakang.....	1
1.2 Rumusan Masalah.....	2
1.3 Tujuan Penelitian.....	2
1.4 Batasan Masalah.....	2
1.5 Metode Penelitian.....	3
1.6 Sistematika Penulisan.....	3
BAB II DASAR TEORI.....	5
1.7 Long Term Evolution (LTE).....	5
1.8 Turbo Code.....	6
1.9 Turbo Encoder.....	6
1.10 Turbo Decoder.....	7
1.10.1 Interleaver.....	7
1.10.2 Soft Output Viterbi Algoritm (SOVA).....	8
1.10.2.1 Branch Distance Calculation.....	8
1.10.2.2 Add Compare Select.....	9
1.10.2.3 Traceback Unit.....	9
1.11 Field Programmable Gate Array.....	12
1.12 VHSIC Hardware Description Language (VHDL).....	14

BAB III PERANCANGAN SISTEM TURBO DECODER.....	16
1.13 Diagram Alir Perancangan Sistem Turbo Decoder.....	17
1.14 Penentuan Spesifikasi Turbo Decoder.....	18
1.14.1 Block Interleaver.....	19
1.14.2 Block SOVA Decoder.....	20
1.14.2.1 Branch Distance Calculation.....	21
1.14.2.2 Add Compare Select.....	22
1.14.2.3 Traceback Unit.....	23
1.14.2.4 Output Resorting.....	23
1.15 Representasi Bilangan.....	24
1.16 Validasi Hasil Simulasi ISim dan Chipscope.....	24
1.17 Perancangan Implementasi Sistem.....	24
BAB IV PENGUJIAN DAN ANALISIS SISTEM TURBO DECODER.....	27
1.18 Skenario Pengujian Turbo Decoder.....	27
1.18.1 Pengujian Pada Kanal Ideal.....	28
1.18.2 Pengujian menggunakan Generator Error.....	28
1.19 Simulasi Sistem pada Xilinx ISE 14.5.....	28
1.19.1 Simulasi Keluaran Interleaver.....	29
1.19.2 Simulasi Keluaran Soft Ouput Viterbi Algoritm .....	30
1.20 Sintesis Sistem.....	33
1.21 Analisis Terhadap Pengujian Kanal Ideal.....	36
1.22 Analisis Terhadap Pengujian dengan Generator Error.....	37
1.23 FPGA ATLYS Spartan-6 XC6SLX45 CSG324C.....	39
1.24 Alur Implementasi Sistem Turbo Decoder.....	39
1.25 Mendownloadkan bit file pada FPGA.....	40
BAB V KESIMPULAN DAN SARAN.....	44
1.26 Kesimpulan.....	44
1.27 Saran.....	45
DAFTAR PUSTAKA.....	46
LAMPIRAN A HASIL SIMULASI PROGRAM	
LAMPIRAN B <i>LISTING PROGRAM VHDL</i>	
LAMPIRAN C <i>ATLYS BOARD PREFERENCE MANUAL</i>	