

## ABSTRAK

FPGA muncul sebagai perangkat memori yang baru, pengembangan dalam perangkat ini masih jarang untuk digunakan sebagai riset perangkat telekomunikasi digital. FPGA dapat membangun memori prosesor dan memori pengendali perangkat eksternal, sehingga FPGA dapat mendukung suatu pengujian desain penerima FM digital. Didalam perangkat FPGA terdapat satu juta gerbang logika, dimana gerbang - gerbang logika tersebut dapat didesain dengan menggunakan bahasa VHDL. *Prototype* FPGA dapat memberikan suatu modal dasar pengembangan perancangan elektronika telekomunikasi yang berbasis digital.

Untuk mengembangkannya perlu dilakukan suatu pengujian perangkat telekomunikasi yang berbasis digital. Metode pengujian perangkat ini memodifikasi dari IC FM penerima digital yang sudah ada. Prinsip kerja IC FM penerima diimplementasikan kedalam bahasa VHDL yang *source*-nya sudah ada, tetapi bahan *source code* tersebut masih terdapat banyak kesalahan algoritma pemrograman. Maka dari itu dalam proyek akhir ini dilakukan verifikasi *source coding* yang sudah ada dan penambahan rancangan perangkat analog agar sinyal frekuensi modulasi dapat disampling dan diterima pada proses pengolahan penerima FM radio pada FPGA berbasis digital.

Dalam pengujian perangkat FPGA ini, semua blok sistem komunikasi pada penerima FM digital dapat diimplementasikan. Tetapi perangkat FPGA ini membutuhkan ADC 8 bit dengan frekuensi sampling minimal 22 MHz. Proyek akhir ini mendesain program PLL digital dan audio codec dengan frekuensi sampling 48KHz. Selanjutnya pengujian ini akan dikembangkan untuk dijadikan sebagai Kit praktikum sistem komunikasi berbasis digital.

Kata Kunci : Penerima FM Digital, PLL digital, VHDL, FPGA.