

PERANCANGAN DAN IMPLEMENTASI MODULATOR OFDM (1024)-STBC(4X4) DENGAN TEKNIK KOMPUTASI PIPELINE BERBASIS PENGKODEAN VHDL

Efa Maydhona Saputra¹, Rina Pudji Astuti², Iswahyudi Hidayat³

¹Magister Elektro Komunikasi, Fakultas Teknik Elektro, Universitas Telkom

Abstrak

Ketersediaan memori, register, dan komponen logika pada FPGA seri terbaru, kini sudah lebih besar dari pada FPGA seri terdahulu. Teknik komputasi pipeline yang dulu tidak populer karena membutuhkan resource dalam jumlah besar, sekarang sudah mungkin untuk direalisasikan. Perjalanan penelitian perangkat telekomunikasi berbasis VHDL-FPGA sudah harus beranjak dari komputasi serial menuju komputasi pipeline karena sudah didukung oleh resource FPGA yang besar.

Pada penelitian ini, dilakukan perancangan modulator OFDM-STBC dan Mapping 16-QAM pada sisi pemancar. OFDM pada sistem yang dibuat menggunakan IFFT-1024 5 stage dengan menerapkan persamaan radix-4 1024 dan skema STBC menggunakan multi antena 4x4 rate $\frac{1}{2}$ dimana untuk setiap 4 simbol yang dikirim, masing-masing antenna mengirimkan 8 simbol pada periode waktu tertentu. Perancangan dilakukan dengan teknik komputasi pipeline dimana titik berat perancangan pipeline ada pada blok control generator sebagai time synchronization dan data freezer pada output tiap blok. Penelitian ini menggunakan FPGA kintex-7 XC7K325T-3FFG900 menggunakan bahasa VHDL. Simulasi proses kerja IFFT, Mapping, dan STBC menggunakan Ms.Excel yang diverifikasi oleh Matlab. Desain bahasa VHDL dibuat menggunakan Altium Designer dan disimulasikan menggunakan Modelsim yang diverifikasi oleh Ms.Excel. Coding VHDL diload kedalam FPGA menggunakan Xilinx ISE 14.2 dan keluaran sistem ditampilkan pada ChipScope.

Hasil verifikasi output simulasi sistem keseluruhan dengan menggunakan Matlab tidak menunjukkan adanya kesalahan pada desain. Namun hasil implementasi sistem keseluruhan belum sesuai dimana kesalahan terjadi pada blok IFFT dan atau STBC. Realisasi OFDMSTBC dan Mapping 16-QAM menggunakan 17-bit fixed point menghabiskan resource FPGA sebesar 65% slice register, 17% Slice LUTs, 557 dari 303959 fully used LUT-FF pairs, 21% bonded IOBs, 1% Block RAM, 40% BUFG/BUFGCTRLs, 8% DSP48E1s dan dengan clock internal sebesar 100 MHz, sistem yang dibuat menghasilkan bitrate 50 Mbps.

Kata Kunci : FPGA, Pipeline, 16-QAM, IFFT-1024, STBC 4x4, VHDL.

Telkom
University

Abstract

New series of FPGA has more memory, register, and logic component than the old one. Pipeline computation which was not popular because need a lot of resource of FPGA, is now possible to realize. Telecommunication research based on VHDL-FPGA has to move from serial computation to pipeline computation because now we have a big number of resources in single FPGA chip. This research designs an OFDM-STBC modulator with 16-QAM Mapping on transmitter side. The OFDM system uses IFFT-1024 5 stages with radix-4 formula in it and the STBC system is designed for 4x4 antennas with code rate $\frac{1}{2}$ which each 4 symbols will be transmitted, each antenna send 8 symbols in a period of time. Pipeline computation method is used in designing the whole system which two focuses of this method are time synchronization applied by control generator block and data freezer at the end of each block. All blocks in this research are applied using VHDL language and implemented in Kintex-7 XC7K325T-3FFG900 FPGA. Mapping, STBC, and IFFT work process are simulated by Ms.Excel and verified by Matlab. VHDL code is created using Altium Designer and simulated in Modelsim with Ms.Excel as verifier. VHDL code then loaded into FPGA using Xilinx ISE 14.2 and analyzes using Chipscope.

Simulation result of integration all blocks verified by Matlab does not show any error. But implementation result shows that there is error occurred in IFFT and or STBC block. Realization OFDM-STBC and 16-QAM mapping using 17 bits of fixed point data type, require 65% slice registers, 17% slice LUTs, 557 of 303959 of fully used LUT-FF pairs, 21% bonded IOBs, 1% Block RAM, 40% BUFG/BUFGCTRLs, and 8% DSP48E1s of FPGA resource. Using 100 MHz of internal clock FPGA will result 50 Mbps system bit rate.

Keywords : FPGA, Pipeline, 16-QAM, IFFT-1024, STBC 4x4, VHDL.

BAB I

PENDAHULUAN

1.1 Latar Belakang

FPGA sudah banyak digunakan sebagai media penelitian perangkat telekomunikasi. Pada penelitian-penelitian sebelumnya, sudah dibuat modul berbasis VHDL seperti Mapper QPSK, 8-QAM, 16-QAM, dan 64-QAM, juga IFFT-256 dan IFFT-512. Namun karena masih menggunakan FPGA Virtex-4 dan Spartan dengan jumlah register dan komponen logika yang sedikit, teknik yang digunakan masih mengandalkan teknik komputasi serial.

Teknik komputasi serial dan pipeline memiliki kelebihan dan kekurangan. Komputasi serial membutuhkan waktu proses yang cukup lama sehingga bitrate mungkin sangat rendah dengan penggunaan resource yang minimal. Di sisi lain, komputasi pipeline memiliki waktu proses lebih singkat dengan resource yang cukup besar.

Dengan hadirnya FPGA seri Kintex-7 dengan memory dan komponen logika yang lebih besar, serta mendukung penggunaan bahasa VHDL yang lebih tinggi dibandingkan dengan seri FPGA sebelumnya, komputasi pipeline menjadi mungkin untuk direalisasikan. Resource FPGA yang besar tersebut diharapkan dapat digunakan secara optimal dalam perancangan perangkat telekomunikasi.

Berangkat dari permasalahan tersebut di atas, dilakukan penelitian pembuatan perangkat telekomunikasi pada sisi pemancar dengan mengusung teknologi Mapping, OFDM, dan STBC. Mapping yang digunakan adalah 16-QAM dengan OFDM menggunakan IFFT-1024 untuk mendukung penggunaan bandwidth 10 MHz berdasarkan standar teknologi netral pada rentang pita 2360-2390 MHz. dan STBC 4x4. Teknik komputasi yang digunakan adalah komputasi pipeline untuk mendapatkan kecepatan waktu proses dan mendapatkan bitrate yang lebih tinggi.

1.2 Tujuan Penelitian

Tujuan dari penelitian ini adalah penerapan teknik pipeline pada desain modulator dengan Mapper 16-QAM, IFFT 1024 dan MIMO-STBC 4x4 dengan bahasa pengkodean VHDL.

1.3 Perumusan Masalah

Penelitian yang penulis lakukan akan menjawab pertanyaan-pertanyaan berikut:

1. Dengan modulasi 16-QAM, berapa besarnya amplitude masing-masing symbol agar didapat daya rata-rata sama dengan 1.
2. Bagaimana merealisasikan IFFT 1024 pada FPGA.
3. Dengan metode pipeline, seberapa besar kebutuhan resource FPGA yang digunakan untuk merealisasikan Modulator dengan Mapper 16-QAM, IFFT-1024 dan STBC.
4. Dengan menerapkan metode pipeline, apa saja yang harus menjadi perhatian agar tidak terjadi overlapping pada tiap operasi.
5. Bagaimana mengoptimalkan penggunaan FPGA yang hanya memiliki resource yang terbatas.
6. Dengan keterbatasan operasi digital, berapa banyaknya bit representasi bilangan real yang optimal.
7. Dengan skema sinkronisasi sistem, bagaimana merealisasikan STBC dengan coderate $\frac{1}{2}$ tanpa membuat antrian.
8. Bagaimana mengintegrasikan ketiga blok (16-QAM, IFFT, STBC) dalam sebuah pengkodean VHDL dan mengimplementasikannya dalam FPGA yang mampu bekerja sebagai sebuah system.
9. Berapa besarnya bitrate yang didapat dengan metode pipeline.

1.4 Batasan Masalah

Beberapa pembatasan masalah dalam perancangan dan implementasi modulator OFDM-STBC pada penelitian ini adalah sebagai berikut.

1. Pengkodean VHDL dan Implementasinya hanya dilakukan pada bagian pemancar.
2. Teknik STBC menggunakan STBC Alamouti 4x4.
3. Mapper yang digunakan adalah 16-QAM standar WiMAX.
4. Sinyal informasi berupa bit digital statis (bukan acak) untuk menyederhanakan proses verifikasi keberhasilan keluaran system.
5. Simulasi pada MATLAB dan Ms.Excel sebatas uji kelayakan algoritma perancangan FFT/IFFT sehingga sesuai dengan spesifikasi yang diinginkan.
6. Integrasi yang dilakukan hanya mengintegrasikan Mapper 16-QAM, IFFT 1024, dan STBC 4x4.

1.5 Metodologi Penelitian

Penelitian ini dilaksanakan dalam beberapa tahapan, yaitu:

1. Merumuskan dan membatasi permasalahan
2. Studi Literatur berisikan pembahasan teoritis melalui studi literatur dari buku-buku atau jurnal ilmiah yang berkaitan dengan kombinasi OFDM dengan STBC.
3. Perancangan simulasi menggunakan *software* Ms.Excel.
4. Pembuktian kebenaran keluaran dengan menggunakan Matlab.
5. Perancangan arsitektur rangkaian menggunakan bahasa VHDL dengan software Altium Designer.
6. Verifikasi rangkaian dengan menggunakan software Modelsim 6.3f.
7. Implementasi rangkaian pada FPGA dengan Xilinx ISE

Telkom
University

BAB V

KESIMPULAN DAN SARAN

5.1 Kesimpulan

1. Dengan normalisasi daya sama dengan 1, didapat koefisien X sebesar $\frac{8}{10}$.
2. Desain IFFT-1024 menggunakan VHDL harus memisahkan operasi real dan operasi imajiner karena library math complex belum disupport oleh FPGA terbaru. Persamaan radix-4 yang digunakan pada penelitian ini harus disederhanakan dulu agar terlihat tahap-tahap pembentukannya dan dapat dipisahkan antara operasi real dan operasi imajinernya.
3. Penggunaan resource FPGA pada penelitian ini adalah sebesar 65% slice register, 17% Slice LUTs, 557 dari 303959 fully used LUT-FF pairs, 21% bonded IOBs, 1% Block RAM, 40% BUFG/BUFGCTRLs, dan 8% DSP48E1s.
4. Untuk mengaplikasikan teknik pipeline, diperlukan 2 hal utama, yaitu time synchronization dan data freeze sebagai pengganti data buffering pada komputasi serial.
5. Dari hasil pengujian sistem, pada level simulasi, integrasi sistem sudah memberikan keluaran yang sesuai dengan teori. Keluaran sistem diverifikasi oleh software Matlab.
6. 15 adalah jumlah bit yang direkomendasikan untuk merepresentasikan bilangan real pada sistem modulator mapper 16-QAM, daya rata-rata 1 dan IFFT 1024 dengan mengasumsikan tidak ada pengaruh dari kanal transmisi. Penggunaan 15-bit fixed point akan menggeser tegangan simbol rata-rata sebesar 0.199.
7. Hasil implementasi sistem menunjukkan bahwa clock conversion, control generator, bit generator, mapper, dan serial to parallel sudah sesuai dengan hasil simulasinya. Sedangkan pada blok IFFT dan STBC, ketidaksesuaian keluaran dengan simulasi belum dapat dijelaskan karena titik kesalahan belum dapat dideteksi. Secara prinsip, tidak ada kesalahan pada bahasa VHDL yang dibuat, dibuktikan dengan hasil simulasi. Ketidaksesuaian output antara

simulasi dan implementasi terjadi karena setting option pada software yang digunakan belum optimal.

8. Dengan menggunakan clock internal FPGA sebesar 100 MHz, didapat bitrate sebesar 50 Mbps.

5.2 Saran

Bila Xilinx ISE menunjukkan indikator *error* pada saat meng-load coding VHDL yang dibuat ke FPGA, sebaiknya gunakan Xilinx ISE versi lain untuk memastikan *error* tersebut. Coding VHDL pada penelitian ini dianggap *error* oleh Xilinx ISE 13.4 namun tidak pada versi 14.2.

Pengenalan software yang akan digunakan, baik software simulasi maupun implementasi menjadi wajib. Ada banyak setting option yang harus dikuasai agar proses implementasi FPGA lebih optimal.

Pengujian banyaknya bit yang digunakan untuk representasi bilangan real masih memerlukan pengamatan lebih lanjut. Karena pengujian kompresi bit hanya dilakukan pada sisi masukan dan keluaran IFFT, sedangkan operasi perkalian radix-4 di dalam stage masih belum dikompresi. Tentu hasil pergeseran simbol akan berbeda jika pengamatan ini dilakukan.

Penggunaan bilangan 13 bit fixed point (-8 downto -20) masih memerlukan resource FPGA sebesar 114% dimana persentase yang target adalah 105%. Sesuai dengan hasil pengujian pada **Tabel 4.6**, penggunaan bilangan fixed point 15 bit (2 downto -12) sudah memenuhi toleransi error yang akan terjadi pada penerima. Hal ini berarti penggunaan fixed point (-8 downto -12) menurut hipotesa penulis, masih mungkin untuk direalisasikan karena bit pada index 2 sampai -7 akan memiliki nilai yang sama berdasar pada perkalian bilangan tersebut dengan $1/1024$.

Penggunaan referensi IFFT lebih baik diperbarui dengan referensi terbaru mengenai teknik yang digunakan pada pembentukan sinyal IFFT. Diharapkan teknik yang digunakan lebih efektif, lebih cepat dengan penggunaan resource yang lebih sedikit.

DAFTAR PUSTAKA

- [1] Altera Corp. Constellation Mapper and Demapper for WiMAX. 2007. San Jose, California.
- [2] Ashenden, Peter J. The VHDL Cookbook First Edition. 1990. University of Adelaide, South Australia.
- [3] Bishop, David. Fixed Point Package User's Guide. vhdl.org.
- [4] Dong, Jiangbo. Optimal 2-Circular 16QAM Constellation Design. 2003. Beijing, China.
- [5] Lebeck, Alvin R. Computer Science 104 : Pipeline. 2009. Duke University, Durham NC.
- [6] Modul Praktikum COA. Gerbang Logika. 2010. IT Telkom, Bandung.
- [7] NEE, Richard Van & Ramjee Prasad. OFDM for wireless multimedia communications. 2000. Artech House, Boston.
- [8] Orfanidis, Sophocles. Introduction to Signal Processing. 2010. Rutgers University, New Jersey.
- [9] Ramamoorthy, C.V. dan H.F. Li. Pipeline Architecture. 1977. California.
- [10] Roden, Martin S. Analog and Digital Communication Systems. 1991. Prentice Hall, New York.
- [11] Ruttik, Kalle. Space Time Coding. 2004.
- [12] www.fgpa4fun.com. Diunduh pada mei 2013.
- [13] Xilinx. 7 Series FPGAs Overview. 2012. www.xilinx.com

Telkom
University