Abstrak

Perkembangan teknologi *wireless* sangat cepat karena seiring dengan kebutuhan layanan data yang sangat besar dan cepat (*high data rate*) dan memiliki *Quality of Service* yang baik. Untuk meningkatkan *Quality of Service* ini salah satunya adalah dengan mengurangi tingkat kesalahan informasi yang diterima pada *receiver*, salah satunya adalah dengan menggunakan teknik *channel coding* (pengkodean kanal). Saat ini, Teknik *channel coding* yang mendekati sempurna karena mendekati teorema Shannon pada jumlah data yang besar adalah LDPC. Aspek yang penting dari sebuah teknik pengkode LDPC ini adalah bagaimana sisi implementasi pada hardwarenya.

Tahapan yang harus dilakukan dalam mengimplementasikan suatu sistem adalah dengan mendesain sistem, kemudian melakukan sintesis, dan baru diimplementasikan pada hardware. Hardware yang digunakan pada penelitian ini adalah FPGA Virtex 4. Sedangkan tahapan untuk mendesain LDPC ini adalah dua tahap, yaitu tahap desain pengkode dan desain pendekode LDPC. Pada desain pengkode digunakan algoritma *lower triangular*, sedangkan pada desain pendekode menggunakan algoritma *bit flipping*. Matriks Cek paritas yang digunakan adalah LDPC Regular dengan ukuran 6x12 dan code rate nya adalah ½

Dari hasil simulasi, kemampuan koreksi dari bit Flipping ini hanya dapat mengkoreksi untuk 1 bit *error* dengan kemampuan koreksinya 100%. Jika frekuensi FPGA yang digunakan 100 MHz maka 1 clock bernilai 10 ns, jika dalam sekali proses membutuhkan delay proses 28 clock, maka perioda keseluruhan adalah 280 ns. Hal ini mengakibatkan bit rate sebesar 21,4 Mbps dan frekuensi kerja 3,57 MHz. nilai bit rate yang cukup besar dan perioda yang pendek diakibatkan oleh proses parallel sistem yang didesain. Pada hasil sintesis, jika dibandingkan dengan beberapa desain pengkode dan pendekode lain, maka hasil desain ini harus diperbaiki karena mengambil kapasitas *memory* yang besar dan periodenya masih cukup panjang dibandingkan dengan desain yang lain padahal kemampuan mengolah datanya lebih besar . Setelah diimplementasikan, utilisasi *resource* sbb: jumlah *slice* 0%, jumlah *slice flip – flops* 0%, jumlah 4 input LUT 0%, jumlah IOB 3%, dan jumlah GCLK 3%. Hal ini menyebabkan desain arsitektur tersebut dapat diimplementasikan ke dalam FPGA Virtex-4 karena pemakaian *resource*-nya kurang dari 100% yang tersedia pada FPGA tersebut

Kata Kunci *:* LDPC, *lower triangular, bit flipping* , FPGA Virtex-4