

Abstrak

Pada tahapan desain dari perancangan *embedded system* menggunakan *hardware description language* (HDL), kemungkinan ada perbedaan karakteristik untuk penggunaan HDL berbeda. Oleh karena itu, perlu dilakukan perbandingan karakteristik antara HDL berbeda, dalam tugas akhir ini yaitu antara SystemC dan Verilog. Perbandingan dilakukan pada implementasi dari sebuah *single-purpose processor* dengan fungsionalitas *least common multiple* (LCM), dengan parameter yang diperbandingkan yaitu *latency*, *memory consumption*, *runtime delay*, dan *harddisk allocation*. Prosesnya meliputi pemodelan LCM dengan state-machine modeling, pengoptimasian (jika perlu), pembangunan blok diagram, kemudian diimplementasikan ke dalam bahasa SystemC dan Verilog, dan berakhir dengan pengukuran masing-masing parameter yang diperbandingkan.

Pada penelitian ini didapati sejumlah kelebihan dan kekurangan dari masing-masing bahasa seperti kemampuan Verilog terhadap pendefinisian *clock timing* pada kendali yang lebih baik dibandingkan dengan SystemC, dan kemampuan SystemC yang lebih baik dalam hal fleksibilitas.

Kata kunci: systemc, LCM, verilog, single-purpose processor