

PERANCANGAN DAN IMPLEMENTASI ARSITEKTUR DEMAPPER 64-QAM DI FPGA (FIELD PROGRAMABLE GATE ARRAY)

Achmad Rizal Mauludin¹, Rina Pudji Astuti², Denny Darlis³

¹Teknik Telekomunikasi, Fakultas Teknik Elektro, Universitas Telkom

Abstrak

Sistem telekomunikasi bertujuan untuk mengirimkan sinyal dari sumber informasi yang dapat berbentuk suara, pesan singkat atau Short Message Service (SMS), gambar, video dan layanan data ke tujuan yang diinginkan. Informasi yang akan dikirimkan akan diubah menjadi sinyal yang dapat dilewati media transmisi, dan agar sinyal yang diterima disisi penerima dapat dibaca, diperlukan demodulator yang dapat mengubah sinyal yang diterima menjadi informasi seperti yang dikirimkan. Demodulator 64-Quadrature Amplitude Modulation (QAM) adalah salah satu jenis demodulator yang mampu mendemodulasi sinyal frekuensi tinggi.

Dalam tugas akhir ini, telah dirancang dan diimplementasikan demapper 64-QAM yang merupakan sub blok demodulator, pada FPGA (Field Programable Gate Array) yang menggunakan bahasa pengkodean Very High Speed Integrated Cicut (VHSIC) Hardware Description Language (VHDL) Fungsi dari blok ini adalah untuk memetakan balik simbol-simbol masukan dengan amplitudo dan fasa yang berbeda-beda yang sebelumnya telah direpresentasikan ke dalam bentuk bit-bit pada sisi pengirim. Pemetaan balik ini mengubah simbol-simbol tersebut menjadi bit-bit informasi yang masih berupa bit-bit inphase dan quadrature.

Dari hasil penelitian ini, untuk kondisi ideal atau gangguan didapatkan output di sisi penerima berupa sebuah bit-bit informasi yang sama dengan bit-bit informasi yang dikirimkan pada sisi pengirim. Sedangkan untuk kondisi ada gangguan, hasil outputnya masih sama dengan bit-bit informasi selama bit yang diganggu adalah enam bit dari LSB (Least Significant bit), untuk tujuh bit yang diganggu error process yang terjadi adalah 21,8310 % , sedangkan untuk empat belas bit yang diganggu error process yang terjadi sebesar 96,9072%.

Kata Kunci : 64-QAM, Demodulasi Digital, FPGA, VHDL.

Abstract

Telecommunication system purpose to transmit signal from information source / transmitter which is like voice, short message service, image, video and data service to the destination or receiver. The information who will be transmitted, will be changed into signal who can be passed by transmission medium, and in order that received signal can be read, we need a demodulator which is can change received signal into the information like a transmitted signal. Demodulator 64-Quadrature Amplitude Modulation (QAM) is one of the type of demodulator who can demodulate signal in high frequency.

In this thesis has ever been designed and implemented demodulator 64-QAM on FPGA (Field Programable Gate Array) by using programable language Very High Speed Integrated Cicut (VHSIC) Hardware Description Language (VHDL). In this thesis has ever been implemented sub block from demodulator, such as demapper. The function of this block is to remapped input symbols with the different amplitude and phase who have been representated in to the information bits, but still in the inphase and quadrature bits.

The result of this thesis has been gotten output in the receiver for ideal condition is information bits which is same like an information bits in the transmitter side. When there is some errors, the output bits is same with input bits during the noise just intefere six bits from LSB (Least Significant bit, but for seven bits that are intefered there is 21,8310% error process, whereas fourteen bits that are interferred there is 96,9072% error process

Keywords : 64-QAM, Digital Demodulation, FPGA, VHDL.

BAB I

PENDAHULUAN

1.1 LATAR BELAKANG

Sistem telekomunikasi bertujuan untuk mengirimkan sinyal dari sumber informasi ke tujuan yang diinginkan. Awalnya pengembangan sumber informasi hanya berbentuk suara dan pesan singkat atau *Short Message Service (SMS)* dengan *bandwidth* yang rendah. Dalam perkembangannya, sumber informasi dapat berbentuk gambar, video dan layanan data dengan *bandwidth* yang jauh lebih lebar. Informasi yang akan dikirimkan akan diubah menjadi sinyal yang dapat dilewati media transmisi, dan agar sinyal yang diterima disisi penerima dapat dibaca, diperlukan *demodulator* yang dapat mengubah sinyal yang diterima menjadi informasi seperti yang dikirimkan. *Demodulator 64-Quadrature Amplitude Modulation (QAM)* adalah salah satu jenis *demodulator* yang mampu mendemodulasi sinyal frekuensi tinggi dengan *bit rate* yang besar dibandingkan dengan ASK, FSK dan PSK.

Demodulasi QAM berada pada sisi penerima, sistem kerjanya adalah merubah kembali bit-bit informasi yang telah diubah kedalam bentuk bit-bit simbol pada proses modulasi di sisi pengirim, menjadi bit-bit informasi yang sama dengan bit-bit informasi asal. Proses pemetaan balik dari simbol-simbol yang diterima dari pengirim menjadi bit-bit informasi dilakukan pada sub blok *demodulator*, yaitu pada *demapper*.

Penyusunan tugas akhir ini berawal dari belum adanya penelitian tentang perancangan desain dan implementasi *demapper* digital 64-QAM pada *development board* FPGA dengan bahasa pengkodean VHDL di Institut Teknologi Telkom. Sebelumnya pun sudah ada yang melakukan desain *mapper*, yaitu sub blok dari *modulator* digital 64-QAM pada FPGA. Sehingga didapatkan informasi bagaimana bentuk keluaran *demodulator* digital 64-QAM yang telah didesain pada *development board* FPGA yang sama seperti bit-bit informasi saat sebelum masuk proses modulasi.

1.2 TUJUAN

Tujuan dari tugas akhir ini adalah

1. mendesain *demapper* pada FPGA,
2. mengetahui *delay process* yang terjadi pada sistem *demapper*,

3. mengetahui *resource* pada FPGA yang terpakai dalam desain dan implementasi *demapper*,
4. mengetahui hubungan *error process* yang terjadi dengan banyaknya bit yang diganggu.

1.3 MANFAAT

Manfaat yang bisa diambil dari pembuatan tugas akhir ini adalah sebagai berikut

1. mengaplikasikan pengetahuan tentang proses demodulasi khususnya pada bagian *demapper*,
2. memberikan inspirasi bagi mahasiswa berikutnya yang akan melanjutkan dan mengembangkan penelitian berdasarkan penelitian yang telah dilakukan,

1.4 RUMUSAN MASALAH

Masalah yang dirumuskan pada tugas akhir ini adalah

1. bagaimana merancang *demapper* digital 64-QAM,
2. bagaimana memodelkan dan mensimulasikan sistem *demapper* digital 64-QAM pada VHDL,
3. bagaimana melakukan implementasi *demapper* digital 64-QAM pada *development board* FPGA,
4. bagaimana melakukan validasi hasil simulasi *demapper* digital 64-QAM pada VHDL dengan Isim,
5. bagaimana melakukan validasi hasil implementasi *demapper* digital 64-QAM pada VHDL dengan Chipscope.

1.5 BATASAN MASALAH

Agar dalam pengerjaan Tugas Akhir ini didapatkan hasil yang optimal dan terarah, maka masalah akan dibatasi sebagai berikut

1. *demapper* yang diimplementasikan adalah *demapper* digital 64-QAM,
2. fokus pada penelitian ini hanya sistem digitalnya saja,
3. fokus pada penelitian ini bukan pada performansi sistem, namun membuktikan fungsi *demapper* pada tahap implementasi,
4. saat pengujian, gangguan atau *noise* yang digunakan adalah PRNG,
5. parameter yang diuji adalah *error* proses yang terjadi,

6. perancangan sistem menggunakan *software* Xilinx ISE Design Suite 14.4,
7. *development board* FPGA yang digunakan FPGA Spartan XC6SLX45 CSG324C,
8. *bandwidth* frekuensi yang digunakan sesuai dengan *clock* pada *development board* FPGA Spartan 6 XC6SLX45,
9. simulasi sistem menggunakan *software* Isim,
10. representasi bit menjadi 14 bit; 1 bit merepresentasikan sign (+/-), 4 bit merepresentasikan bilangan bulat dan 9 bit merepresentasikan bilangan pecahan,
11. *output* implementasi ditampilkan dalam *software* Chipscope,
12. perancangan model sistem mengacu pada pemodelan dari Matlab^[11], dan dari teori^[7], serta tugas akhir sebelumnya^[1]

1.6 METODOLOGI

Metodologi yang digunakan pada tugas akhir ini adalah dengan eksperimen. Eksperimen ini dilakukan dengan cara membandingkan hasil keluaran dari sistem *demapper* ini, apakah hasilnya sama seperti dengan bit-bit informasi sebelum dilakukan proses modulasi yang sudah dilakukan sebelumnya pada sisi pengirim.

Setelah melakukan eksperimen dan mencatat hasilnya, dilakukan analisa dari hasil yang didapat apakah bit-bit informasi tersebut sesuai atau mengalami perubahan, kemudian dibuat kesimpulan mengenai tugas akhir ini.

1.7 SISTEMATIKA PENULISAN

Tugas akhir ini disusun menjadi 5 Bab, dengan rincian sebagai berikut :

BAB I PENDAHULUAN

Bab ini membahas tentang latar belakang penulisan, tujuan dan manfaat penulisan, rumusan masalah, batasan masalah, metodologi penulisan, sistematika penulisan, dan jadwal rencana kerja.

BAB II DASAR TEORI

Berisi tentang teori yang mendukung dan mendasari penulisan tugas akhir ini, yaitu modulasi digital, *quadrature amplitude modulation*, *demodulator*, FPGA (*Field Programable Gate Array*), *VHSIC Hardware Description Language* (VHDL), dan Xilinx ISE.

BAB III PERANCANGAN SISTEM DEMAPPER DIGITAL 64-QAM

Bab ini menguraikan tentang tahap proses pemodelan sistem agar dapat dibuat menjadi suatu program yang berisi diagram alir perancangan sistem, penentuan spesifikasi sistem, representasi bilangan, desain *demapper* pada vhdl, *load* ke FPGA, dan perangkat bantu.

BAB IV PENGUJIAN DAN IMPLEMENTASI SISTEM DEMAPPER DIGITAL 64-QAM

Bab ini menguraikan skenario pengujian, hasil dan analisis sistem yang berupa pengujian pada kondisi ideal atau tanpa noise, dan pengujian pada kondisi diberi noise. Parameter yang diamati adalah berapa besar *error* yang terjadi dalam tiap pengujian.

BAB V KESIMPULAN DAN SARAN

Bab ini memberikan kesimpulan dan saran untuk pengembangan lebih lanjut.



BAB V

KESIMPULAN DAN SARAN

5.1. Kesimpulan

Dari hasil penelitian yang dilakukan, dapat disimpulkan bahwa

- a. Sistem yang didesain pada FPGA telah sesuai dengan sistem yang didesain pada matlab, maupun teori. Kesesuaiannya dapat dilihat dari gambar 4.27 dan 4.28.
- b. *Demapper* digital 64-QAM dapat diimplementasikan pada FPGA. Dari hasil simulasi, sistem dapat melakukan pemetaan ulang hanya dengan delay 1 *clock* setelah *input* diterima lalu dikeluarkan *output* dalam delay 1 *clock* lagi.
- c. Berdasarkan hasil sintesis blok sistem *demapper* 64-QAM didapatkan jumlah *resource* yang dibutuhkan adalah jumlah *slice registers* 32 atau 0% dari *resource* Spartan 6 XC6SLX45, jumlah *slice LUTs* 93 atau 0% dari *resource* Spartan 6 XC6SLX45, jumlah *fully used LUT-FF pairs* 30 atau 31% dari *resource* Spartan 6 XC6SLX45, dan jumlah *bonded IOB* 33 atau 15% dari *resource* Spartan 6 XC6SLX45. Dari hasil sintesis tersebut dapat disimpulkan bahwa hasil implementasi sistem tidak melebihi *source* pada FPGA sehingga dapat diimplementasikan.
- d. Semakin banyak bit *input* yang diganggu, maka semakin besar *error process* yang terjadi, pada implementasi ini sistem *demapper* tahan jika bit yang diganggu tidak lebih dari enam bit dari LSB. Untuk tujuh bit yang diganggu dari LSB *error proces* yang terjadi adalah 21,8310%, sedangkan untuk empat belas bit yang diganggu maka *error process* yang terjadi adalah 96,9072%.

5.2. Saran

- a. Lakukan penelitian dengan titik konstelasi yang lebih banyak, 128-QAM, 256-QAM dst.
- b. Gunakan pemodelan kanal yang sebenarnya, misalnya seperti AWGN.
- c. Agar lebih *real* perlu ditambah komponen *Analog to Digital Converter* (ADC).
- d. Gunakan FPGA yang lebih rendah spesifikasinya agar tidak banyak *source* yang tidak digunakan.

DAFTAR PUSTAKA

- [1] Falaq, Fahrizal. 2013. Desain Dan Implementasi Modulator Digital 64-QAM Pada FPGA. Skripsi pada Institut Teknologi Telkom Bandung : Tidak diterbitkan.
- [2] IEEE Standard for Local and metropolitan area networks Part 16: Air Interface for Fixed Broadband Wireless Access Systems.
- [3] Ifeachor, Emmanuel C dan Barrie W Jervis. 2002. *Digital Signal Processing : A Practical Approach*. New Jersey : Prentice Hall
- [4] Nurkhalik, Subhan. 2011. Pengaruh Besar Orde QAM Pada OFDM Dengan Estimasi Kanal Menggunakan Interpolasi Linier. Skripsi pada Institut Teknologi Telkom Bandung : Tidak diterbitkan.
- [5] Patmasari, Raditiana. 2012. Desain Arsitektur dan Implementasi Pengkode Konvolusi dan Pendekode Viterbi dengan Teknik Soft Decision pada Aplikasi DVB. Tesis pada Institut Teknologi Telkom Bandung : Tidak diterbitkan.
- [6] Pitkänen, Sampo. 2008. Optimal reception of 64 Quadrature Amplitude Modulation in High-Speed Downlink Packet Access. Tesis Pada Helsinki University of Technology.
- [7] Rice, Michael. 2008. *Digital Communications: A Discrete-Time Approach*. New Jersey : Pearson Prentice Hall.
- [8] Schaumont, Patrick. 2008. A Random Number Generator in Verilog A Design Lecture
- [9] <http://staff.ui.ac.id/internal/130781318/material/Chapter1.ppt> (Akses tanggal 18 Maret 2012)
- [10] <http://www.digilentinc.com/Products/Detail.cfm?Prod=ATLYS> (Akses tanggal 3 November 2012).
- [11] <http://www.mathworks.com/matlabcentral/fileexchange/15289-m-qam-modem-demo>, (Akses tanggal 30 Maret 2013).
- [12] https://en.wikipedia.org/wiki/Linear_feedback_shift_register, (Akses tanggal 20 Juni 2013).