

BAB I

PENDAHULUAN

1.1 LATAR BELAKANG

Sistem telekomunikasi bertujuan untuk mengirimkan sinyal dari sumber informasi ke tujuan yang diinginkan. Awalnya pengembangan sumber informasi hanya berbentuk suara dan pesan singkat atau *Short Message Service* (SMS) dengan *bandwidth* yang rendah. Dalam perkembangannya, sumber informasi dapat berbentuk gambar, video dan layanan data dengan *bandwidth* yang jauh lebih lebar. Informasi yang akan dikirimkan akan diubah menjadi sinyal yang dapat dilewati media transmisi, dan agar sinyal yang diterima disisi penerima dapat dibaca, diperlukan *demodulator* yang dapat mengubah sinyal yang diterima menjadi informasi seperti yang dikirimkan. *Demodulator 64-Quadrature Amplitude Modulation* (QAM) adalah salah satu jenis *demodulator* yang mampu mendemodulasi sinyal frekuensi tinggi dengan *bit rate* yang besar dibandingkan dengan ASK, FSK dan PSK.

Demodulasi QAM berada pada sisi penerima, sistem kerjanya adalah merubah kembali bit-bit informasi yang telah diubah kedalam bentuk bit-bit simbol pada proses modulasi di sisi pengirim, menjadi bit-bit informasi yang sama dengan bit-bit informasi asal. Proses pemetaan balik dari simbol-simbol yang diterima dari pengirim menjadi bit-bit informasi dilakukan pada sub blok *demodulator*, yaitu pada *demapper*.

Penyusunan tugas akhir ini berawal dari belum adanya penelitian tentang perancangan desain dan implementasi *demapper* digital 64-QAM pada *development board* FPGA dengan bahasa pengkodean VHDL di Institut Teknologi Telkom. Sebelumnya pun sudah ada yang melakukan desain *mapper*, yaitu sub blok dari *modulator* digital 64-QAM pada FPGA. Sehingga didapatkan informasi bagaimana bentuk keluaran *demodulator* digital 64-QAM yang telah didesain pada *development board* FPGA yang sama seperti bit-bit informasi saat sebelum masuk proses modulasi.

1.2 TUJUAN

Tujuan dari tugas akhir ini adalah

1. mendesain *demapper* pada FPGA,
2. mengetahui *delay process* yang terjadi pada sistem *demapper*,

3. mengetahui *resource* pada FPGA yang terpakai dalam desain dan implementasi *demapper*,
4. mengetahui hubungan *error process* yang terjadi dengan banyaknya bit yang diganggu.

1.3 MANFAAT

Manfaat yang bisa diambil dari pembuatan tugas akhir ini adalah sebagai berikut

1. mengaplikasikan pengetahuan tentang proses demodulasi khususnya pada bagian *demapper*,
2. memberikan inspirasi bagi mahasiswa berikutnya yang akan melanjutkan dan mengembangkan penelitian berdasarkan penelitian yang telah dilakukan,

1.4 RUMUSAN MASALAH

Masalah yang dirumuskan pada tugas akhir ini adalah

1. bagaimana merancang *demapper* digital 64-QAM,
2. bagaimana memodelkan dan mensimulasikan sistem *demapper* digital 64-QAM pada VHDL,
3. bagaimana melakukan implementasi *demapper* digital 64-QAM pada *development board* FPGA,
4. bagaimana melakukan validasi hasil simulasi *demapper* digital 64-QAM pada VHDL dengan Isim,
5. bagaimana melakukan validasi hasil implementasi *demapper* digital 64-QAM pada VHDL dengan Chipscope.

1.5 BATASAN MASALAH

Agar dalam pengerjaan Tugas Akhir ini didapatkan hasil yang optimal dan terarah, maka masalah akan dibatasi sebagai berikut

1. *demapper* yang diimplementasikan adalah *demapper* digital 64-QAM,
2. fokus pada penelitian ini hanya sistem digitalnya saja,
3. fokus pada penelitian ini bukan pada performansi sistem, namun membuktikan fungsi *demapper* pada tahap implementasi,
4. saat pengujian, gangguan atau *noise* yang digunakan adalah PRNG,
5. parameter yang diuji adalah *error* proses yang terjadi,

6. perancangan sistem menggunakan *software* Xilinx ISE Design Suite 14.4,
7. *development board* FPGA yang digunakan FPGA Spartan XC6SLX45 CSG324C,
8. *bandwidth* frekuensi yang digunakan sesuai dengan *clock* pada *development board* FPGA Spartan 6 XC6SLX45,
9. simulasi sistem menggunakan *software* Isim,
10. representasi bit menjadi 14 bit; 1 bit merepresentasikan sign (+/-), 4 bit merepresentasikan bilangan bulat dan 9 bit merepresentasikan bilangan pecahan,
11. *output* implementasi ditampilkan dalam *software* ChipScope,
12. perancangan model sistem mengacu pada pemodelan dari Matlab^[11], dan dari teori^[7], serta tugas akhir sebelumnya^[1]

1.6 METODOLOGI

Metodologi yang digunakan pada tugas akhir ini adalah dengan eksperimen. Eksperimen ini dilakukan dengan cara membandingkan hasil keluaran dari sistem *demapper* ini, apakah hasilnya sama seperti dengan bit-bit informasi sebelum dilakukan proses modulasi yang sudah dilakukan sebelumnya pada sisi pengirim.

Setelah melakukan eksperimen dan mencatat hasilnya, dilakukan analisa dari hasil yang didapat apakah bit-bit informasi tersebut sesuai atau mengalami perubahan, kemudian dibuat kesimpulan mengenai tugas akhir ini.

1.7 SISTEMATIKA PENULISAN

Tugas akhir ini disusun menjadi 5 Bab, dengan rincian sebagai berikut :

BAB I PENDAHULUAN

Bab ini membahas tentang latar belakang penulisan, tujuan dan manfaat penulisan, rumusan masalah, batasan masalah, metodologi penulisan, sistematika penulisan, dan jadwal rencana kerja.

BAB II DASAR TEORI

Berisi tentang teori yang mendukung dan mendasari penulisan tugas akhir ini, yaitu modulasi digital, *quadrature amplitude modulation*, *demodulator*, FPGA (*Field Programable Gate Array*), *VHSIC Hardware Description Language* (VHDL), dan Xilinx ISE.

BAB III PERANCANGAN SISTEM DEMAPPER DIGITAL 64-QAM

Bab ini menguraikan tentang tahap proses pemodelan sistem agar dapat dibuat menjadi suatu program yang berisi diagram alir perancangan sistem, penentuan spesifikasi sistem, representasi bilangan, desain *demapper* pada vhdl, *load* ke FPGA, dan perangkat bantu.

BAB IV PENGUJIAN DAN IMPLEMENTASI SISTEM DEMAPPER DIGITAL 64-QAM

Bab ini menguraikan skenario pengujian, hasil dan analisis sistem yang berupa pengujian pada kondisi ideal atau tanpa noise, dan pengujian pada kondisi diberi noise. Parameter yang diamati adalah berapa besar *error* yang terjadi dalam tiap pengujian.

BAB V KESIMPULAN DAN SARAN

Bab ini memberikan kesimpulan dan saran untuk pengembangan lebih lanjut.