

DAFTAR ISI

	hal
HALAMAN JUDUL	
LEMBAR PERNYATAAN ORISINALITAS	
LEMBAR PENGESAHAN	
LEMBAR PERSEMBAHAN	
ABSTRACT	i
ABSTRAK	ii
UCAPAN TERIMA KASIH	iii
KATA PENGANTAR	iv
DAFTAR ISI	vi
DAFTAR GAMBAR	x
DAFTAR TABEL	xii
BAB I PENDAHULUAN	
1.1 LATAR BELAKANG	1
1.2 TUJUAN DAN MANFAAT	
1.2.1 Tujuan	2
1.2.2 Manfaat	3
1.3 RUMUSAN DAN BATASAN MASALAH	
1.3.1 Rumusan Masalah	3
1.3.2 Batasan Masalah	3
1.4 METODOLOGI PEMBAHASAN MASALAH	4
1.5 SISTEMATIKA PENULISAN	4
BAB II DASAR TEORI	
2.1 PROGRAMMABLE LOGIC CONTROLLER	6
2.2 DIAGRAM LADDER	9
2.2.1 Normally Open	9
2.2.2 Normally Closed	9
2.2.3 Coil	10

2.2.4 Negative Coil	10
2.2.5 Timer	10
2.2.6 Counter	10
2.2.7 Comparator	11
2.2.8 Logika OR	11
2.2.9 Logika AND	12
2.2.10 Instruksi ORLOAD	12
2.2.11 Instruksi ANDLOAD	13
2.3 MIKROKONTROLER STM32F103RBT6	13
2.4 Data Flash Atmel AT45DB161D	15
2.5 STRUKTUR PEMROGRAMAN C	16
2.5.1 Header	17
2.5.2 Tipe Data	17
2.5.3 Penulisan konstanta	17
2.5.4 Label, Variabel, Fungsi	18
2.5.5 Komentar	18
2.5.6 Reserved Keywords	18
2.5.7 Operator	19
2.5.8 Aritmatika	19
2.5.9 Logika	20
2.5.10 Manipulasi Bit	20
2.5.11 Percabangan	21
2.5.12 Perulangan	23
2.5.13 Konversi Pola	25
2.5.14 Prosedur	25

BAB III PERANCANGAN DAN IMPLEMENTASI

3.1 PERANCANGAN DAN IMPLEMENTASI PERANGKAT KERAS

3.1.1 Rangkaian Sistem Minimum STM32F103RBT6	26
3.1.1.1 Rangkaian Pembangkit Clock	27
3.1.1.2 Rangkaian Reset	28

3.1.1.2 Rangkaian Catu Daya Mikrokontroler STM32F103RBT6	29
3.1.1.4 Rangkaian Serial EEPROM	29
3.1.1.5 Konverter Level Tegangan TTL ke Level Tegangan RS232	30
3.1.1.6 Rangkaian Input Digital PLC	30
3.1.1.7 Rangkaian Output Digital PLC	31
3.1.1.8 Rangkaian Input Analog	31
3.1.1.9 Pemetaan Pin Input dan Output	31
3.2 PERANCANGAN SISTEM OPERASI PLC	
3.2.1 Inisialisasi	34
3.2.1.1 Inisialisasi Komunikasi Serial	34
3.2.1.2 Inisialisasi Timer Utama	34
3.2.1.3 Strukturisasi SRAM	35
3.2.1.4 Inisialisasi ADC	36
3.2.2 Prosedur Penyimpanan dan Pemuatan <i>Ladder Opcode</i>	37
3.2.2.1 Pemuatan <i>Ladder Opcode</i> dari PC ke SRAM	37
3.2.2.2 Pemuatan <i>Ladder Opcode</i> dari Serial EEPROM ke SRAM	38
3.2.2.3 Penyimpanan <i>Ladder Opcode</i> dari SRAM ke Serial EEPROM	39
3.2.3 Prosedur Utama	40

BAB IV PENGUJIAN DAN ANALISA

4.1 PERANGKAT PLC yang Direalisasikan	42
4.2 EVALUASI KERJA SISTEM PLC	43
4.2.1 Uji Instruksi Logika AND dan OR	43
4.2.2 Uji Instruksi Timer	44
4.2.2.1 Perancangan Diagram Ladder Uji Instruksi Timer	44
4.2.2.2 Pengukuran Respons Kerja Timer	45
4.2.2.3 Analisa Hasil Pengukuran Respons Kerja Timer	46

4.2.3 Uji Instruksi Counter	47
4.2.4 Uji Instruksi Comparator	48
4.2.5 Uji Waktu Tunda <i>On to Off</i> dan <i>Off to On</i> Input Digital PLC	48
4.2.6 Uji Waktu Tunda <i>On to Off</i> dan <i>On to Off</i> Output Digital PLC	49
4.2.7 Uji Waktu Respons PLC	50
4.2.7.1 Waktu Respons PLC untuk Instruksi Sederhana	50
4.2.7.2 Waktu Respons PLC untuk Instruksi Timer	51
4.2.7.3 Waktu Respons PLC untuk Instruksi Counter	51
4.2.7.4 Waktu Respons PLC untuk Instruksi Comparator	52
4.2.8 Uji Waktu Satu Siklus Scan untuk Memori Penuh	52

BAB V KESIMPULAN DAN SARAN

5.1 .Kesimpulan	54
5.2 .Saran	54

DAFTAR PUSTAKA	xiii
-----------------------	------

LAMPIRAN