

ABSTRAK

Demi tercapainya pelayanan yang baik terutama dalam penerimaan sinyal, maka salah satu hal yang sangat penting untuk dilakukan oleh para operator yaitu memperluas daya pancar dari antena ke arah penggunaanya saja tanpa memperluas dayanya ke arah pengguna lain yang dapat bertindak sebagai pengganggu. Apabila hal ini dapat dilakukan, maka akan diperoleh peningkatan efisiensi dari daya pancar antena base station. Selain itu, perlu juga dilakukan usaha untuk mengurangi dampak dari penginterferensi yang berasal dari kapasitas jaringan operator lain ataupun yang berasal dari karakteristik propagasi gelombang.

salah satu teknik yang dapat digunakan untuk mengatasi masalah di atas adalah dengan menggunakan sistem antena cerdas (*smart antenna*) atau *adaptive antenna*. Antena cerdas dapat direalisasikan dengan menggunakan susunan antena sejenis, dimana pencatuannya diatur sedemikian rupa melalui pembobotan. Pembobotan tersebut dihasilkan oleh suatu algoritma adaptif yang diimplementasikan pada FPGA sebagai prosesor.

Dalam tugas akhir ini dilakukan penelitian implementasi algoritma RLS (*Recursive Least Square*) pada FPGA Virtex4 XC4VLX25 untuk digunakan pada aplikasi CDMA. Dalam penelitian tugas akhir ini didapat utilisasi sistem sebesar 654% yang artinya untuk merealisasikan perancangan dalam penelitian ini dibutuhkan sampai 7 buah FPGA Virtex4 XC4VLX25. Hal ini dikarenakan desain sistem menggunakan banyak rangkaian *multiplier* dan *adder* untuk melakukan perhitungan matriks berdimensi besar.

Nilai bobot yang dihasilkan oleh algoritma RLS pada penelitian ini mampu menghasilkan nilai Array Factor yang maksimum pada susunan antena dengan *error* sebesar 1,19526% sehingga secara umum dapat dikatakan bahwa algoritma RLS cocok untuk digunakan pada sistem komunikasi CDMA.

Kata Kunci : pola pancar, antena cerdas, RLS, CDMA, VHDL, FPGA