

LEMBAR PENGESAHAN

Tugas Akhir dengan judul :

**PERANCANGAN DAN IMPLEMENTASI
ENCODER DECODER KODE REED-SOLOMON (15,9)
BERBASIS FPGA (*FIELD PROGRAMMABLE GATE ARRAY*)**

***(DESIGN AND IMPLEMENTATION OF FPGA
(FIELD PROGRAMMABLE GATE ARRAY) BASED
REED-SOLOMON (15,9) ENCODER DECODER)***

Telah disetujui dan disahkan sebagai salah satu syarat untuk memperoleh gelar Sarjana Teknik pada Program Studi Teknik Telekomunikasi Institut Teknologi Telkom

Oleh :

**DAMARSATYA ADI PRADANA
111061054**

Bandung, 2 Februari 2011

Disetujui dan disahkan oleh :

Pembimbing I

Pembimbing II

Dharu Arseno, Ir., M.T.

NIK : 02690271-1

Iswahyudi Hidayat, S.T., M.T.

NIK : 02770269-1