

ABSTRAKSI

Modulasi PSK (*Phase Shift Keying*) adalah salah satu solusi untuk mendapatkan kecepatan transfer data yang cepat dengan bandwidth yang terbatas. Penggunaan modulasi PSK sudah meluas diberbagai sistem telekomunikasi.

Keunggulan modulasi ini adalah pada efisiensi bandwidth. Pada modulasi $M - \text{PSK}$, semakin tinggi nilai M , maka penggunaan bandwidth semakin efisien. Beberapa jenis modulasi PSK sudah pernah direalisasikan, namun hanya sampai modulasi $8 - \text{PSK}$.

Pada Tugas Akhir ini, akan Dirancang dan Direalisasikan Modulator dan Demodulator $16 - \text{Ary PSK}$ dengan pendekatan rangkaian digital.

Karena bersifat sebagai prototipe, pembatasan masalah pada Tugas Akhir ini lebih di titik-berat kan pada frekuensi sinyal pembawa dan *Bit Rate* Sinyal Informasi. Analisa prototype dilakukan pada sisi keluaran tiap blok Modulator dan Demodulator.

Hasil analisa keluaran Modulator menunjukkan adanya ketidak-konsistenan pada amplitude sinyal keluaran, meski sudah menunjukkan adanya perbedaan fasa. Hasil keluaran Demodulator memiliki tingkat kesalahan yang cukup tinggi. Selain disebabkan oleh tidak sempurnanya keluaran Modulator, juga karena adanya penyederhanaan Blok pada sisi Demodulator.