BAB I
PENDAHULUAN

1.1. Latar Belakang

Pada perkembangan DSP (Digital Signal Processing) yang dapat mensintesis penjumlahan sinyal termodulasi dengan akurat, maka Modulasi Multicarrier selalu sukses dilaksanakan pada dasawarsa terakhir ini. Salah satu metode yang digunakan untuk mengatasi kendala dalam modulasi multicarrier adalah metode IFFT. Berbagai macam teknologi yang menggunakan metode IFFT antara lain pada system OFDM (Orthogonal Frequency Division Multiple Access) dan pada system DMT (Discret Multitone) untuk teknologi ADSL (*Asymmetric Digital Subscriber Lines*) dan VDSL (*Very-High-Speed Digital Subscriber Lines*). Kedua system tersebut menggunakan metode IFFT sebagai modulator di transmiter. Sudah ada beberapa riset mengenai IFFT pada FPGA dengan 8 titik, namun secara kebutuhan dalam telekomunikasi telah digunakan IFFT dengan 256 titik.

IFFT pada dasarnya merupakan invers/kebalikan dari metode FFT. FFT adalah algoritma komputasional yang efisian untuk menghitung DFT (Discret Fourier Transform) bila ukuran N adalah pangkat 2 dan bila pangkat 4. Dimana dalam pemrosesan sinyal DFT mempunyai peran penting, termasuk analisis korelasi dan analisis spectrum. Dapat dikatakan bahwa IFFT merupakan algoritma cepat untuk menghitung IDFT (Invers DFT). Algoritma cepat dalam IFFT adalah kemampuan menghitung lebih cepat jumlah perkalian kompleks pada perhitungan langsung yaitu N^2 menjadi $(N/2)\ \log_2 N$ perkalian. Metode IFFT ini akan memberikan perhitungan yang lebih efisien sehingga mempercepat proses sinyal.

Pada penelitian ini akan diaplikasikan algoritma IFFT 64 titik pada FPGA. Dengan melakukan permodelan sistem/desain hardware pada IFFT, melukan simulasi dan sintesis hardware pada FPGA dengan bahasa VHDL. Dari implementasi ini akan dapat dilihat hasil keluaran dari IFFT 64 titik.

1.2. Perumusan Masalah

Masalah yang akan diteliti dalam Tugas Akhir ini adalah :

1. Bagaimana struktur/desain hardware yang dibutuhkan dalam sistem IFFT.
2. Mendesain blok – blok arsitektur IFFT pada VHDL.
3. Melakukan simulasi pada desain blok – blok arsitektur dengan memberikan tes vector dalam bentuk test bench.
4. Melakukan sintesis terhadap arsitekture IFFT yang telah dibuat.

1.3. Pembatasan Masalah

Batasan-batasan masalah yang digunakan dalam tugas akhir ini adalah :

1. Menggunakan algoritma IFFT Radiks-2.
2. Menggunakan algoritma peruraian dalam frekuensi (*Decimation in Frequency*)
3. Jumlah titik inputan dari IFFT (N) yang digunakan adalah 64 titik.
4. Penelitian sampai dengan sintesis hardware.
5. Bahasa pemrograman yang digunakan adalah VHDL (*VHSIC Hardware Description Language*), menggunakan software *ModelSim SE 6.0*.
6. Sintesa hardware yang menggunakan software *Xilinx ISE 8.1i.*
7. Sintesa pada Xilinx ISE 8.1 menggunakan hardware FPGA seri Virtex xc4vlx25-10sf363

1.4. Tujuan Penelitian

Tujuan dari penelitian adalah sebagai berikut :

1. Mendesain arsitektur hardware algoritma IFFT dengan bahasa pemrograman VHDL.
2. Sintesis hasil desain VHDL algoritma IFFT dengan *Xilink Synthesis Tool seri ISE 8.1*.
3. Mendapatkan hasil sintesis pada IFFT, meliputi kebutuhan slice, IOB, LUT, Flip – Flop, GCLK, FIFO/RAM, dan DSP untuk N titik.
4. Memprediksi hasil sitesis untuk kebutuhan slice, IOB, LUT, FliP – Flop, GCLK, FIFO/RAM, dan DSP pada jumlah N yang lebih banyak.
5. Menghitung delay yang terjadi pada saat simulasi algoritma IFFT.

6. Analisa hasil outputan simulasi IFFT pada ModelSim dengan hasil keluaran pada Matlab.

1.5. Metodologi Penelitian

Penelitian ini dilakukan dengan metodologi sebagai berikut :

1. Tahap studi literature

   Mempelajari dan memahami konsep dari IFFT serta study awal mengenai bahasa VHDL.
2. Tahap perancangan

   Perancangan blok diagram system fungsional IFFT berdasarkan hasil studi literatur dengan menggunakan bahasa VHDL.
3. Tahap Simulasi

   Melakukan simulasi pada program yang dibuat dengan testbench sinyal pada arsitektur desain yang telah dibuat.
4. Tahap Sintesis

   Mensitesis hasil aristekture VHDL setelah dilakukan simulasi dan didapatkan parameter – parameter yang dinutuhkan.
5. Tahap analisa dan kesimpulan

1.6. Sistematika Pembahasan

Laporan tugas akhir akan dirancang dengan sistematika sebagai berikut :

BAB 1 : PENDAHULUAN

Pada bab 1 ini, dijelaskan mengenai latar belakang, tujuan, batasan masalah, dan metoda pelaksanaan penelitian serta sistematika pembahasan laporan.

BAB 2 : DASAR TEORI

Bab ini merupakan tinjauan pustaka dari IFFT (Invers Fast Fourier Transform)

BAB 3 : PERANCANGAN DAN IMPLEMENTASI

Bab ini akan membahas perancangan blok-blok system hardware yang mendukung dan simulasi hasil rancangan serta implementasi pada hardware secara nyata.

BAB 4 : PENGUJUIAN DAN ANALISA

Bab ini berisi analisa hasil simulasi dan hasil outputan yang dihasilkan sesuai dengan perumusan masalah.

BAB 5 : KESIMPULAN DAN SARAN

Bab ini berisi kesimpulan dari tugas akhir dan saran untuk pengembangan selanjutnya.