

LEMBAR PENGESAHAN

Tugas Akhir dengan judul:

***SIMULASI LOW DENSITY PARITY CHECK (LDPC) CODE BERBASIS
FIELD PROGRAMMABLE GATE ARRAY (FPGA)***

***(SIMULATION OF LOW DENSITY PARITY CHECK (LDPC) CODE BASED
ON FIELD PROGRAMMABLE GATE ARRAY (FPGA))***

Telah diperiksa dan disetujui sebagai salah satu syarat untuk memperoleh gelar
Sarjana Teknik pada Program Studi Teknik Telekomunikasi
Institut Teknologi Telkom

Oleh:

REZA DYNASTI PRAMANA

111041036

Bandung, Pebruari 2009

Disetujui dan disahkan oleh:

Pembimbing I

Pembimbing II

M Ary Murti ST., MT.

Budi Prasetya ST., MT.