

## **LEMBAR PENGESAHAN**

Tugas Akhir dengan judul :

**DESAIN DAN SIMULASI PHASE LOCK LOOP (PLL)  
BERBASIS DIRECT DIGITAL SYNTHESIS (DDS)  
PADA RADAR FMCW  
(FREQUENCY MODULATED CONTINUOUS WAVE)**

*PHASE LOCK LOOP (PLL) DESIGN AND SIMULATION BASED ON  
DIRECT DIGITAL SYNTHESIS (DDS) IN FMCW  
(FREQUENCY MODULATED CONTINUOUS WAVE) RADAR*

Telah diperiksa dan disetujui sebagai salah satu syarat untuk memperoleh gelar  
Sarjana Teknik pada jurusan Teknik Elektro Institut Teknologi Telkom

oleh :

**FUGUH PRASETYO YUDANTO**

**111040160**

Bandung, 3 Februari 2009

Disetujui dan disahkan oleh :

Pembimbing I

Pembimbing II

Bambang Sumajudin ,Ir. MT.  
NIK : 91640043-1

Arief Suryadi ST, MT  
NIK : 320006626