

ABSTRAKSI

Dalam sebuah sistem komunikasi digital juga terdapat transmitter, kanal / saluran transmisi dan receiver seperti pada sistem komunikasi pada umumnya. Dan pada sebuah receiver pada umumnya terdapat demodulator yang berfungsi untuk memisahkan sinyal informasi dari sinyal carrier. Dan di dalam demodulator tersebut terdapat suatu bagian yang disebut dengan detektor sinyal. Dimana detektor sinyal yang baik adalah detektor yang mampu mengikuti fluktuasi laju clock serta memiliki noise yang rendah

Selain itu performansi suatu komunikasi digital juga ditentukan oleh beberapa hal, salah satunya adalah sinkronisasi. Diantaranya adalah sinkronisasi symbol timing, sinkronisasi carrier dan sinkronisasi clock

Untuk melakukan sinkronisasi symbol timing diperlukan suatu rangkaian khusus yang biasa disebut dengan istilah Symbol Timing Recovery (STR). Rangkaian STR inilah yang digunakan untuk memicu / mentrigger blok rangkaian integrator and dump serta blok rangkaian sampling and hold yang ada di dalam rangkaian detektor sinyal, sehingga sampling ratenya akan sama dengan bit rate sinyal input.

Dalam tugas akhir ini telah dilakukan perancangan detektor NRZ-bipolar yang menggunakan blok rangkaian STR untuk memperbaiki kualitas sinyal output. Dan juga telah ditentukan jenis serta nilai komponen yang tepat untuk mendapatkan performansi detektor NRZ-bipolar yang optimal, dengan menggunakan software Multisim 9 sebagai alat bantu untuk simulasi.

Hasil dari simulasi menunjukkan bahwa delay yang terjadi antara sinyal masukan dengan sinyal keluaran detektor NRZ – bipolar sebesar $11,178 \mu\text{s}$ ($0,71 \text{ Tb}$). Dan pada sinyal output rangkaian detektor NRZ-bipolar terjadi pelebaran pulsa untuk bit '1' menjadi $15,865 \mu\text{s}$ ($1,015 \text{ Tb}$) dari yang seharusnya sebesar $15,625 \mu\text{s}$. Sedangkan untuk bit '0', lebar pulsa = $15,625 \mu\text{s}$, sehingga tidak terjadi pelebaran maupun penyempitan lebar pulsa.