ABSTRAKSI

Ide dalam mengambil judul “Perancangan dan Realisasi Prototype Receiver TDMA-FDD Pada Master dan Slave Station Dalam Level Intermediate frekuensi” dalam tugas akhir ini dilatarbelakangi oleh keinginan untuk membuat miniatur perangkat telekomunikasi secara hardware dan software yang bisa untuk dipelajari, dikembangkan dan disimulasikan lebih lanjut. Dalam realisasinya nanti sangat diharapkan perangkat ini nantinya dapat bekerja sama dengan bagian transmitter master dan slave station untuk mewujudkan hubungan akses antar slave dan slave dengan master berdasarkan mekanisme penjadwalan untuk data yang diatur oleh master station (TDMA-FDD reservasi).

Yang menjadi bagian permasalahan utama dalam tugas akhir ini adalah bagaimana realisasi miniatur perangkat TDMA-FDD ini bekerja sesuai mekanisme penjadwalan layaknya di lapangan. Dimana di lapangan, sistem TDMA-FDD bekerja dengan kondisi minimum 1 master station untuk sekian banyak slave station di sekitarnya. Master berfungsi sebagai pihak pemberi jadwal, sedangkan slave station sebagai pihak peminta dan penerima jadwal hubungan. Dalam hubungannya master bekerja dengan frekuensi yang berbeda dari slave station, namun sesama slave bekerja dalam frekuensi yang sama beda giliran bicara. Dari permasalahan tersebut, maka sekurang-kurangnya perlu direalisasikan sistem yang mampu membuktikan terjadinya hubungan minimal untuk 1 master station dan 2 slave station sebagai jalan pembuktian berjalannya mekanisme penjadwalan.

Namun pada akhir pengerjaan, kami menemui banyak kendala diakibatkan oleh minimnya keahlian dibidang elektronika praktis, sehingga dari sekian banyak rancangan tahap awal hanya bagian perhitungan dan simulasi PLL sebagai demodulator yang berhasil dikerjakan secara software menggunakan mathlab dan circuit maker untuk simulasi osilatornya. Selanjutnya demi menyelesaikan tugas akhir, kami berpindah ke penggunaan IC yang berarti penurunan besar frekuensi dari 8 & 12 MHz ke 80 & 240 kHz yang berhasil kami realisasikan sampai tahapan modem FSK dan mixer. Sedangkan mikrokontroller bagian Master dan

Slave sebagai otak perangkat ini masih harus dibenahi lebih lanjut dalam rangka memenuhi konsep TDMA-FDD reservasi sebenarnya. Oleh karena itu kemudian tugas akhir ini akan saya sampaikan dengan segala hasil yang telah saya capai ditambah dengan analisa pada setiap titik kegagalan.

STTELKOM