

ABSTRAK

Komputasi Shannon Entropy merupakan konsep fundamental dalam teori informasi yang penting untuk berbagai aplikasi, namun implementasinya pada perangkat keras memiliki tantangan tersendiri, terutama pada operasi logaritma dan penanganan bilangan pecahan. Penelitian ini bertujuan untuk merancang, mengimplementasikan, dan memverifikasi sebuah arsitektur perangkat keras digital untuk komputasi Shannon Entropy yang dioptimalkan untuk platform FPGA. Arsitektur ini diimplementasikan menggunakan bahasa deskripsi perangkat keras (HDL) Verilog dengan pendekatan modular yang dikontrol oleh sebuah *Finite State Machine* (FSM). Untuk efisiensi sumber daya, desain ini menggunakan representasi bilangan titik-tetap (*fixed-point*) untuk menangani operasi aritmetika pada bilangan pecahan dan memanfaatkan metode *Look-Up Table* (LUT) berbasis ROM untuk melakukan pendekatan fungsi logaritma secara cepat. Proses verifikasi fungsional dilakukan dalam lingkungan simulasi ModelSim menggunakan dataset EEG. Hasil simulasi dari desain perangkat keras kemudian divalidasi dengan membandingkannya secara kuantitatif terhadap nilai referensi (*golden reference*) yang dihasilkan oleh MATLAB dengan presisi tinggi. Hasil verifikasi menunjukkan kesesuaian yang sangat tinggi antara nilai entropi yang dihitung oleh desain dan nilai acuan dari MATLAB, di mana selisih eror yang sangat kecil teridentifikasi sebagai kesalahan kuantisasi (*quantization error*) yang wajar akibat konversi presisi, sehingga membuktikan bahwa arsitektur yang diusulkan valid dan berfungsi secara akurat.

Kata Kunci: *Shannon Entropy*, FPGA, Desain Digital, Verilog, *Fixed-Point*, *Look-Up Table*, Verifikasi Fungsional.