

DAFTAR GAMBAR

Gambar 2.1 Arsitektur Software-Defined Network [9]	5
Gambar 2.2 POX Controller.....	9
Gambar 2.3 Ryu Controller.....	10
Gambar 2.4 Arsitektur Ryu.....	10
Gambar 2.5 Format UDP.....	12
Gambar 2.6 Format TCP.....	13
Gambar 2.7 Bagian control TCP.....	14
Gambar 3.1 Diagram Blok Sistem.....	16
Gambar 3.2 Diagram Alir Sistem.....	17
Gambar 3.3 Skenario topologi 1	18
Gambar 3.4 Skenario topologi 2.....	19
Gambar 3.5 Skenario topologi 3.....	19
Gambar 3.6 Menjalankan topologi.....	20
Gambar 3.7 Menjalankan POX controller.....	20
Gambar 3.8 Menjalankan XTerm.....	21
Gambar 3.9 Menjalankan D-ITG.....	21
Gambar 3.10 Data yang didapatkan pada D-ITG.....	22
Gambar 3.11 Menjalankan Ryu controller.....	22
Gambar 4.1 Grafik <i>delay</i> pada kontroler POX.....	23
Gambar 4.2 Grafik <i>delay</i> pada kontroler Ryu.....	24
Gambar 4.3 Grafik <i>jitter</i> pada kontroler POX.....	24
Gambar 4.4 Grafik <i>jitter</i> pada kontroler Ryu.....	25
Gambar 4.5 Grafik <i>throughput</i> pada kontroler POX.....	25
Gambar 4.6 Grafik <i>throughput</i> pada kontroler Ryu.....	26
Gambar 4.7 Grafik <i>packet loss</i> pada kontroler POX.....	26