

DAFTAR GAMBAR

Gambar II-1 Rangkaian Konverter Sepic	4
Gambar II-2 Rangkaian Konverter Sepic Saklar Terbuka	5
Gambar II-3 Rangkaian Konverter Sepic Saklar Terbuka	5
Gambar II-4 Gelombang swithcing konverter sepic	5
Gambar II-5 Rangkaian Kendali Satu Siklus	9
Gambar II-6 Bentuk Gelombang Rangkaian Ekvivalen Saklar	10
Gambar II-7 Integrator	13
Gambar II-8 Gelombang input output integrator	14
Gambar II-9 Rangkaian komperator	15
Gambar II-10 Gelombang sinyal komparator	16
Gambar II-11 Rangkaian pembangkit pulsa clock.....	16
Gambar II-12 Sinyal clock.....	Error! Bookmark not defined.
Gambar II-13 SR flip-flop Gerbang NAND	19
Gambar II-14 Timing diagram SR flip-flop.....	20
Gambar III-1 Desaian Rangkaian Secara Kesuluruhan	21
Gambar III-2 Diagram blok sistem	22
Gambar III-3 Diagram Alir Sistem	23
Gambar III-4 Wiring Diagram	27
Gambar III-5 Rangkain PCB Konverter Sepic Dengan Komponen Sesuai Parameter	28
Gambar III-6 Rangkaian IC integrator (Note: X adalah sinyal input dari gate mosfet konverter dan Y adalah sinyal input dari keluaran pin Q SR flip-flop).....	29
Gambar III-7 Rangkaian IC komparator LM311 (Note: X adalah sinyal input berupa sinyal output dari IC LM741 dan Y adalah sinyal output LM311 yang akan terhubung dengan pin reset dari IC SR flip-flop)	30
Gambar III-8 Rangkaian IC clock NE555 (Note: Y adalah sinyal output dari IC NE555 yang akan masuk ke pin set di SR flip-flop berbentuk gelombang pulse dengan nilai frekuensi dan duty cycle yang diinginkan)	31

Gambar III-9 Rangkaian IC SR flip-flop CD4044 dan CD4049 (Note: A merupakan output dari clock NE555, B merupakan output dari komparator LM311, C merupakan output Q dari SR flip-flop, D merupakan output Q dari SR flip-flop)	32
Gambar III-10 Rangkaian skematik kendali satu siklus	33
Gambar III-11 Gambar PCB kendali satu siklus	33
Gambar IV-1 Rangkaian skematik konverter sepic pada LTspice	35
Gambar IV-2 Hasil Simulasi Vin 10 V	35
Gambar IV-3 Hasil Simulasi Vin 22 V	36
Gambar IV-4 Gambar skematik kendali satu siklus pada LTspice.....	37
Gambar IV-5 Hasil simulasi integrator LM741	38
Gambar IV-6 Hasil simulasi integrator LM311	39
Gambar IV-7 Hasil simulasi IC clock NE555	40
Gambar IV-8 Hasil semua SR flip-flop Q	41
Gambar IV-9 Hasil simulasi dari SR flip-flop Q	41
Gambar IV-10 Grafik beban terhadap daya dengan Vin 10 V	43
Gambar IV-11 Grafik efisiensi daya mode boost	44
Gambar IV-12 Pengukuran daya pada rangkaian	44
Gambar IV-13 Grafik beban terhadap tegangan 10 V	45
Gambar IV-14 Grafik Beban Terhadap Arus dengan Vin 10 V	45
Gambar IV-15 Grafik Beban Terhadap Daya dengan Vin 22 V.....	46
Gambar IV-16 Grafik Efisiensi Daya Mode Buck.....	47
Gambar IV-17 Grafik Beban Terhadap Tegangan dengan Vin 22 V	47
Gambar IV-18 Grafik Beban Terhadap Arus dengan Vin 22 V	48
Gambar IV-19 Sinyal Ouput (a) Gate MOSFET (b) Induktor 1(L1).....	49
Gambar IV-20 Output integrator LM741.....	50
Gambar IV-21 Output gelombang rangkaian LM311.....	51
Gambar IV-22 Output gelombang rangkaian IC NE555	52
Gambar IV-23 Output gelombang IC SR flip-flop CD4044	52
Gambar IV-24 Gelombang Q dan Q SR flip-flop CD4044	53
Gambar IV-25 Grafik nilai duty cycle terhadap Vin	54

Gambar IV-26 Gambar grafik output tegangan konverter sepic dengan kendali satu siklus	55
Gambar IV-27 Hasil Pengukuran Tegangan V_{out} (a) V_{in} 10 V (b) V_{in} 12 V (c) V_{in} 15 V (d) V_{in} 17 V (e) V_{in} 20 V (f) V_{in} 22 V (Note: $x = 500$ ms/div dan $y = 5V$ /div, Sinyal biru = Input, Sinyal kuning = Ouput)	56
Gambar IV-28 Hasil pengukuran Beban di 110Ω Menjadi (a) 105Ω (b) 115Ω (Note: $x = 500$ ms/div dan $y = 5V$ /div, Sinyal Kuning = Input, Sinyal Biru = Ouput)	58
Gambar IV-29 Hasil pengukuran Beban di 110Ω Menjadi (a) 110Ω (b) 120Ω (Note: $x = 500$ ms/div dan $y = 5V$ /div, Sinyal Kuning = Input, Sinyal Biru = Ouput)	59