

## ABSTRAK

*Multiplier* merupakan salah satu komponen penting pada operasi sistem yang memiliki tingkat kompleksitas yang tinggi seperti FIR *filter*, mikroprosesor, *digital signal processor*, dan lain-lain. Performa dari sistem umumnya ditentukan dari performa dari *multiplier* yang didesain. Hal ini terjadi dikarenakan *multiplier* pada sistem merupakan komponen yang membutuhkan waktu untuk beroperasi yang lebih lama dibanding dengan komponen lain pada sistem. Oleh karena itu, dibutuhkannya desain *multiplier* pada sistem yang lebih efisien dalam segi waktu untuk mencapai performa sistem yang lebih baik.

Hal ini menyebabkan penulis untuk melakukan penelitian salah satu metode perkalian atau multiplikasi cepat pada data dalam bentuk bilangan biner yang disebut dengan metode Booth's *Algorithm* atau Booth's *Multiplication*. Selain itu, penulis menggunakan metode Booth yang telah dikembangkan yang bernama Booth radix-4. Penelitian dilakukan dengan melakukan pengujian pada simulasi *testbench* sistem yang telah didesain dan diimplementasikan pada *board* FPGA *Altera* DE-1. Lalu analisis yang dilakukan meliputi nilai *delay* pada sistem yang telah didesain dan penggunaan *resource* yang digunakan. Nilai *delay* dan penggunaan *resource* nantinya akan dibandingkan dengan metode lain dan metode konvensional.

Parameter keberhasilan dari penelitian ini adalah menghasilkan perkalian bilangan biner yang lebih unggul atau lebih baik dibanding menggunakan metode yang konvensional atau yang lebih sederhana.

**Kata Kunci:** *FIR Filter, multiplier, Booth's Algorithm, Booth's Multiplication, Booth radix-4, FPGA.*