

ABSTRAK

DCT adalah transformasi data yang mengubah dari domain waktu ke domain frekuensi, yang mampu memisahkan informasi pada frekuensi rendah hingga frekuensi tinggi. Manfaat dari transformasi ini cukup banyak, karena dengan bantuan transformasi ini dapat mengurangi besar data yang dikandung oleh citra tanpa merusak kualitas citra tersebut.

Pada tugas akhir ini penulis telah merancang sistem DCT dengan $N=8$ dan $N=2$ dan berhasil diimplementasikan pada FPGA Altera Cyclone II – EP2C20F484C7. Penelitian ini bertujuan untuk membuktikan bahwa DCT dapat diimplementasikan pada FPGA dan hasilnya tidak jauh beda dengan perhitungan menggunakan MATLAB. Sistem ini dirancang menggunakan bahasa VERILOG yang merupakan bahasa hardware yang dimengerti oleh FPGA, pemilihan bahasa ini untuk memudahkan dalam mengkodekan perhitungan sistem DCT. Sistem ini dikodekan menggunakan Quartus Lite 16.0.0.2.1.1 dan disimulasikan dengan MODELSIM lalu kemudian disintesa pada FPGA. Hasil keluaran dari FPGA akan dibandingkan dengan hasil keluaran dari MATLAB.

Setelah disimulasikan dan didapatkan hasilnya, sistem disintesa ke *board* FPGA Altera Cyclone II – EP2C20F484C7. Dari hasil simulasi yang dapat diimplementasikan pada *board* FPGA Altera Cyclone II – EP2C20F484C7 hanya DCT dengan $N=2$ karena DCT dengan $N=8$ memakan *resource memory* yang cukup besar yaitu 3285% sedangkan sistem DCT dengan $N=2$ sebesar 92%. Dari hasil simulasi juga didapatkan perbandingan waktu delay dan BER antara perhitungan menggunakan MATLAB dan FPGA. Hasilnya adalah waktu delay yang dibutuhkan oleh MATLAB untuk menghitung DCT dengan $N=8$ adalah 0.10894 s dan dengan $N=2$ adalah 0.12107 s sedangkan waktu yang dibutuhkan oleh FPGA untuk menghitung DCT dengan $N=8$ adalah 0.00000024 s dan dengan $N=2$ adalah 0,00000136 s. BER yang dihasilkan antara MATLAB dengan FPGA adalah 0.2930 untuk DCT dengan $N=2$ dan 0.0503 untuk DCT dengan $N=8$.

Kata kunci: *Discrete Cosine Transform, Kompresi Citra, Field Programmable Gate Array*