

DAFTAR TABEL

4.1	Data Aktivasi rangkaian pelindung, Input (A) dan Output (Z)	22
4.2	Analisis Data Mentah	24
4.3	FPGA Speed Analysis	25
4.4	On-Chip Power Summary	26
4.5	Power Supply Currents	27
4.6	Peningkatan overhead yang digunakan setelah kompilasi	28