

DAFTAR ISI

HALAMAN JUDUL	i
LEMBAR PENGESAHAN	ii
LEMBAR PERNYATAAN ORISINALITAS	iii
KATA PENGANTAR	iv
ABSTRAK	v
ABSTRACT	vi
DAFTAR ISI	vii
DAFTAR GAMBAR	ix
DAFTAR TABEL	x
1 PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Permasalahan	2
1.2.1 Rumusan Masalah	2
1.2.2 Batasan Permasalahan	2
1.3 Tujuan	3
1.4 Metodologi Penelitian	3
1.5 Sistematika Penulisan	3
2 TINJAUAN PUSTAKA	5
2.1 Very Large Scale Integration	5
2.1.1 Arus Pengembangan LSI	5
2.1.2 Kemungkinan Serangan Desain LSI	7
2.1.3 Mengatasi Serangan terhadap Desain LSI	8
2.2 Teknik Proteksi	9
2.2.1 Digital Signal Processing Filter	9
2.2.2 Polimorphisme Gate	9
2.3 Peralatan dan Teknologi	10
2.3.1 Verilog HDL	10
2.3.2 Yosys Open SYnthesis Suite	10
2.3.3 FPGA Elbert V2 Board	11
2.4 Target IP Core	12
2.4.1 Aritmatic Logic Unit (ALU)	12

3	DESAIN DAN SIMULASI	13
3.1	Perancangan Desain	13
3.1.1	Skema Perlindungan	14
3.1.2	Spesifikasi	17
3.2	Alur Proses Pengembangan	17
3.3	Simulasi	19
4	PENGUJIAN DAN ANALISIS	21
4.1	Pengujian	21
4.1.1	Skenario Pengujian	21
4.1.2	Hasil Pengujian	21
4.2	Analisis	25
5	KESIMPULAN DAN SARAN	29
5.1	Kesimpulan	29
5.2	Saran	29
	REFERENSI	30
	LAMPIRAN A	1
	LAMPIRAN B	a
	LAMPIRAN C	a