

DAFTAR GAMBAR

2.1	Produksi Chip Moderen	6
2.2	Clonning/Sumber Tidak Terpercaya	7
2.3	RE (Reverse Engineering)	7
2.4	Model Bisnis Lama	8
2.5	Model Bisnis Baru	8
2.6	Polymorph gate[7]	10
2.7	Perbedaan Tinkatan Abstraksi dan Sintesis Yosys[27]	11
2.8	FPGA Board - Elbert V2[26]	11
2.9	ALU	12
3.1	Desain ALU yang akan dilindungi	13
3.2	Desain rangkaian pelindung	13
3.3	Desain rangkaian Top modul yang terdapat rangkaian lain	14
3.4	Desain rangkaian ALU pada top modul	14
3.5	Desain rangkaian pelindung pada top modul	15
3.6	Algoritma aktifasi	16
3.7	Desain rangkaian top modul yang telah diberi pelindung	16
3.8	Skema Perancangan Umum Proses Desain	17
3.9	Skema kegiatan A	18
3.10	Skema kegiatan B	18
3.11	Skema kegiatan C	19
3.12	Skema kegiatan D	19
3.13	Simulasi Alat	20
4.1	Diagram Sinyal Input	23
4.2	Diagram Sinyal Output	23
4.3	Power Supply Currents Diagram	25
4.4	On-Chip Power Summary Diagram	26
4.5	Power Supply Currents Diagram	27