

DAFTAR TABEL

Tabel 3.1	Representasi Ladder Diagram ke list Instruksi	25
Tabel 3.2	Perubahan Output Terhadap Input.....	27
Tabel 3.3	Daftar Opcode dan instruksi PLC Sederhana.....	28
Tabel 3.4	Pengalamatan input dan output PLC Sederhana.....	30
Tabel 4.1	Penggunaan <i>Resource</i> Komponen pada FPGA.....	41
Tabel 4.2	Hasil Ringkasan Implementasi pada FPGA menggunakan Xilinx 14.4.....	42
Tabel 4.3	Hasil Sintesa Implementasi pada FPGA menggunakan Xilinx 14.4.....	42
Tabel 4.4	Perubahan Output Terhadap Input Simulasi Ladder Diagram.....	45
Tabel 4.5	Perubahan Output Terhadap Input Simulasi Isim.....	46
Tabel 4.6	Perubahan Output Terhadap Input pengujian menggunakan LA.....	47
Tabel 4.7	Perubahan Output Terhadap Input Pengujian input pattern menggunakan LA.....	48
Tabel 4.8	Pengujian kecepatan instruksi PLC Sederhana 2 instruksi.....	49
Tabel 4.9	Pengujian kecepatan instruksi PLC Sederhana 1024 instruksi.....	50
Tabel 4.10	Pengujian kecepatan instruksi PLC Sederhana 2 instruksi.....	51
Tabel 4.11	Perbandingan hasil pengujian kecepatan instruksi PLC Sederhana 2 instruksi	52