

# DAFTAR ISI

Halaman

<b>LEMBAR PENGESAHAN</b>	
<b>LEMBAR PERNYATAAN ORISINALITAS</b>	
<b>ABSTRAK.....</b>	<b>i</b>
<b>ABSTRACT .....</b>	<b>ii</b>
<b>KATA PENGANTAR.....</b>	<b>iii</b>
<b>UCAPAN TERIMA KASIH.....</b>	<b>iv</b>
<b>DAFTAR ISI.....</b>	<b>vi</b>
<b>DAFTAR GAMBAR.....</b>	<b>ix</b>
<b>DAFTAR TABEL .....</b>	<b>xi</b>
<b>DAFTAR SINGKATAN .....</b>	<b>xii</b>
<b>DAFTAR ISTILAH .....</b>	<b>xiii</b>
<b>DAFTAR LAMPIRAN .....</b>	<b>xv</b>
<b>BAB I PENDAHULUAN .....</b>	<b>1</b>
I.1 Latar Belakang .....	1
I.2 Tujuan Penelitian .....	2
I.3 Perumusan Masalah .....	2
I.4 Batasan Masalah .....	2
I.5 Metode Penelitian .....	3
I.6 Sistematika Penulisan.....	4
<b>BAB II LANDASAN TEORI.....</b>	<b>5</b>
2.1 Programmable Logic Controller (PLC) .....	5
2.1.1 Arsitektur PLC.....	6
2.1.2 Komponen Penyusun PLC.....	6
2.1.3 Operasi PLC.....	9
2.2 <i>Field Programmable Gate Araay</i> (FPGA).....	10
2.2.1 IOB .....	13
2.2.1.1 <i>Input Path</i> .....	13
2.2.1.2 <i>Output Path</i> .....	13

2.2.1.3	<i>Three-State Path</i> .....	13
2.2.1.4	Fungsi Elemen Penyimpan .....	13
2.2.2	<i>Configureable Logic Blocks (CLB)</i> .....	14
2.2.2.1	<i>Function Generator</i> .....	15
2.2.3	<i>Block Ram</i> .....	15
2.2.4	<i>Dedicated Multipliers</i> .....	16
2.2.5	<i>Digital Clock Manager (DCM)</i> .....	16
2.2.5.1	<i>Delay-Locked Loop (DLL)</i> .....	17
2.2.5.2	<i>Digital Frequency Synthesizer (DFS)</i> .....	18
2.2.5.3	<i>Phase Shifter (PS)</i> .....	19
2.2.5.4	<i>PS Component Enabling And Mode Selection</i> .....	19
2.2.5.5	<i>Fixed Phase Mode</i> .....	19
2.2.5.6	<i>Variable Phase Mode</i> .....	19
2.2.5.7	<i>Status Logic Component</i> .....	20
2.3	<i>Serial Port</i> .....	20
BAB III	PERANCANGAN DAN SIMULASI SISTEM .....	23
3.1	Diagram Alir Perancangan Sistem .....	23
3.2	Simulasi Ladder Diagram .....	25
3.3	Representasi Opcode Dari Ladder Diagram .....	28
3.4	Model Sistem .....	30
3.5	Diagram Alir Sistem PLC Sederhana Berbasis FPGA.....	31
3.6	Penentuan Spesifikasi FPGA .....	38
BAB IV	PENGUJIAN DAN ANALISA SISTEM PLC SEDERHANA	
	PADA FPGA .....	41
4.1	Sintesis Rangkaian.....	42
4.1.1	Penggunaan Resource dan Hasil Sintesa	
	Implementasi pada FPGA.....	43
4.1.2	Assigned Package Pin .....	44
4.2	Rangkaian PLC Sederhana Berbasis FPGA dan Modul I/O.....	45
4.3	Pengujian Sistem PLC Sederhana .....	46

4.3.1 Pengujian Menggunakan Ladder Simulator i-Trilogi .....	47
4.3.2 Pengujian Menggunakan Isim pada Xilinx ISE 14.4 .....	48
4.3.3 Pengujian Menggunakan Logic Analyzer .....	49
4.3.3.1 Pengujian Output terhadap Input .....	49
4.3.3.2 Pengujian Sistem Dengan Input Pattern .....	50
4.3.3.3 Pengujian Kecepatan Instruksi Eksekusi .....	52
4.4 Perbandingan Isim dengan Logic Analyzer .....	53
<b>BAB V KESIMPULAN DAN SARAN.....</b>	<b>55</b>
5.1 Kesimpulan .....	55
5.2 Saran .....	55
<b>DAFTAR PUSTAKA .....</b>	<b>xvi</b>
<b>LAMPIRAN</b>	