

BAB I

PENDAHULUAN

1.1 Latar Belakang

Pada saat ini kebutuhan akan otomasi merupakan hal penting, manusia-manusia menginginkan segala sesuatunya dapat menjadi lebih mutakhir dan lebih mudah untuk digunakan khususnya dalam bidang industri, pada awal tahun 1968 Dick Morley memperkenalkan konsep *Programmable Logic Controller* (PLC). PLC digunakan untuk menggantikan fungsi rangkaian berupa *relay-relay* yang beroperasi secara sekuensial umumnya digunakan pada kontrol mesin industri. (Pollard, <http://www.controldesign.com/articles/2005/264.html>).

PLC merupakan alat yang dapat melakukan pengendalian dengan cara melihat input lalu memproses input hasilnya akan membuat output *ON* atau *OFF*. Pengguna PLC memiliki kemudahan dalam melakukan pemrograman dengan bantuan perangkat komputer dan perangkat lunak (*software*). Bagian utama dari PLC adalah *Central Control Unit* (CCU), memori, dan rangkaian untuk menerima data input dan output. PLC dapat dianalogikan sebagai perangkat yang berisi ratusan atau ribuan *relay*, *counter*, *timer*, dan lokasi penyimpanan data tetapi mereka tidak berbentuk fisik melainkan dibuat menggunakan perangkat lunak untuk mensimulasikannya. PLC banyak digunakan pada industri manufaktur seperti pengepakan, peralatan otomatis, dan penanganan material.

Dalam tugas akhir kali ini digunakan FPGA sebagai pengganti *Central Control Unit* pada PLC, kelebihan yang dimiliki FPGA sebagai *Programmable Logic Device* (PLD) dapat digunakan sebagai perancangan suatu chip yang biasa disebut *Application Specific Intergrated Circuit* (ASIC) selain itu FPGA memiliki kelebihan dalam proses data yang parallel sehingga performa dari PLC dapat ditingkatkan. Produsen FPGA yaitu Xilinx telah menyediakan beberapa fasilitas pada *Board* FPGA yang dapat digunakan dalam pengerjaan tugas akhir ini yaitu *port I/O*, memori, dan *port USB* untuk komunikasi dengan perangkat lunak pada komputer. Hasil yang akan didapat dari pengerjaan tugas akhir ini berupa PLC sederhana yang dapat melakukan operasi logika dasar dan *switching* namun memiliki performa yang lebih baik dari PLC yang ada saat ini.

1.2 Tujuan Penelitian

Tujuan dari tugas akhir ini adalah merancang *Central Processing Unit* PLC sederhana berserta modul I/O digital kemudian hasil dari perancangan tersebut diimplementasikan pada FPGA. Target rancangan yang harus dipenuhi adalah sebagai berikut:

1. Merancang PLC sederhana yg bisa mengeksekusi 10 instruksi..
2. Merancang dan Implementasi CPU PLC sederhana di FPGA.
3. Menguji dan menganalisa kecepatan proses eksekusi PLC sederhana berbasis FPGA.

1.3 Perumusan Masalah

Beberapa hal yang menjadi perumusan masalah dalam tugas akhir kali ini adalah:

- Menentukan blok-blok system yang diperlukan untuk membangun CPU.
- Merancang dan membuat blok-blok sistem menggunakan *software* Isim yang terdapat dalam Xilinx 14.4.
- Mensimulasikan hasil perancangan secara fungsional.
- Melakukan simulasi sistem yang dibuat sehingga dapat berkomunikasi dengan computer.
- Melakukan sistesis hasil perancangan menggunakan *software* Xilinx ISE 14.4
- Implementasi hasil sintesis pada FPGA dan dilakukan simulasi secara *realtime*.
- Membuat rangkaian I/O tambahan untuk berhubungan dengan perangkat lain seperti *sensor, relay, contactor*,dll.
- Menguji performa sistem yang telah dibuat dengan diberikan instruksi sederhana

1.4 Batasan Masalah

Beberapa pembatasan masalah dalam perancangan PLC sederhana pada tugas akhir kali ini adalah sebagai berikut:

- Instruksi yang dapat dilakukan oleh CPU hanya instruksi *switching* (LOAD , LOAD NOT, OUT) dan logika dasar seperti OR, AND, AND NOT, OR NOT.
- Memiliki input digital 8 buah dan jumlah output digital 8 buah dengan kawasan tegangan 0-24 volt DC.
- Penanaman instruksi pada FPGA menggunakan computer melalui protokol Serial dengan mode baud rate 9600, 8 bit data, dan 1 stop bit.
- Pada perangkat computer digunakan *software* Hyper terminal sebagai media pengiriman instruksi.
- Perancangan arsitektur sistem dan simulasi pada *software* Isim yang terdapat pada Xilinx ISE 14.4.
- Verifikasi menggunakan testbench pada *software* Isim yang terdapat pada Xilinx ISE 14.4 dengan data pembanding pada software ladder simulator i-TRiLOGI V6.45.
- Sistesis arsitektur hasil simulasi pada *software* Xilinx ISE 14.4.
- Implementasi hasil perancangan pada *board* XuLA-200 .
- FPGA yang digunakan yaitu Xilinx Spartan-3 XC3S200A.

1.5 Metode Penelitian

Metode penelitian Tugas Akhir ini adalah sebagai berikut:

- Merumuskan dan membatasi permasalahan.
- Studi Literatur berisikan pembahasan teoritis melalui studi literatur dari buku-buku atau jurnal ilmiah yang berkaitan dengan permasalahan.
- Perancangan arsitektur rangkaian menggunakan bahasa VHDL menggunakan *software* Isim yang terdapat pada Xilinx ISE 14.4.
- Verifikasi rangkaian dengan menggunakan test bench pada software Isim yang terdapat pada Xilinx ISE 14.4.
- Implementasi rangkaian pada FPGA.

1.6 Sistematika Penulisan

Secara umum keseluruhan Tugas Akhir ini dibagi menjadi lima bab bahasan, ditambah dengan lampiran dan daftar istilah yang diperlukan. Penjelasan masing-masing bab adalah sebagai berikut:

BAB 1 : PENDAHULUAN

Bab ini berisi gambaran umum dari percobaan yang dilakukan. Tercakup di dalamnya yaitu latar belakang, perumusan masalah, tujuan, batasan masalah, metode penelitian serta sistematika penulisan.

BAB 2 : DASAR TEORI

Pada bab ini berisi paparan umum tentang *Programmable Logic Controller* dan *Field Programmable Gate Array*. Hal yang selanjutnya dibahas tentu mengenai jenis protokol komunikasi yang digunakan.

BAB 3 : PEMODELAN SIMULASI

Bab ini membahas mengenai model sistem yang digunakan dan kemudian mensimulasikannya. Parameter kerja dan asumsi simulasi yang digunakan akan dijelaskan di sini.

BAB 4 : HASIL DAN ANALISIS

Bab ini menganalisis dan menjelaskan hasil yang didapat dari simulasi kinerja *PLC* yang dioperasikan menggunakan *FPGA*.