

# DAFTAR ISI

<b>LEMBAR PENGESAHAN TUGAS AKHIR.....</b>	<b>ii</b>
<b>LEMBAR PERNYATAAN ORISINALITAS.....</b>	<b>iii</b>
<b>ABSTRAK.....</b>	<b>iv</b>
<b>ABSTRACT .....</b>	<b>v</b>
<b>KATA PENGANTAR .....</b>	<b>vi</b>
<b>UCAPAN TERIMAKASIH.....</b>	<b>vii</b>
<b>DAFTAR ISI.....</b>	<b>ix</b>
<b>DAFTAR GAMBAR .....</b>	<b>xii</b>
<b>DAFTAR TABEL.....</b>	<b>xiii</b>
<b>DAFTAR SINGKATAN .....</b>	<b>xiv</b>
<b>DAFTAR ISTILAH.....</b>	<b>xv</b>
<b>BAB 1 PENDAHULUAN .....</b>	<b>1</b>
1.1 Latar Belakang .....	1
1.2 Perumusan Masalah.....	2
1.3 Tujuan Penelitian .....	2
1.4 Batasan Masalah.....	2
1.5 Metodologi Penelitian .....	3
1.5.1 Studi literatur .....	3
1.5.2 Perancangan.....	3
1.5.3 Pengujian sistem.....	4
1.5.4 Analisa hasil pengujian.....	4
1.6 Sistematika Penulisan.....	4
<b>BAB 2 DASAR TEORI.....</b>	<b>6</b>
2.1 Radio Frequency Identification (RFID) .....	6
2.1.1 RFID Reader.....	6
2.1.2 RFID Tag.....	7
2.2 Universal Asynchronous Receiver Transmitter (UART).....	8
2.3 Shift Register .....	8

2.4	<i>Random Access Memory (RAM)</i> .....	9
2.5	<i>Field Programmable Gate Array (FPGA)</i> .....	9
2.6	<i>VHSIC Hardware Description Language (VHDL)</i> .....	10
2.7	<i>Relay</i> .....	12
<b>BAB 3</b>	<b>PERANCANGAN DAN IMPLEMENTASI SISTEM</b> .....	<b>13</b>
3.1	<i>Gambaran Umum Sistem</i> .....	13
3.2	<i>Perancangan modul RFID reader</i> .....	14
3.2.1	Modul RFID MFRC522 .....	14
3.2.2	Arduino Nano .....	16
3.2.3	Logic Level Converter (LLC).....	17
3.2.4	Altera DE-1 Board.....	17
3.3	<i>Perancangan algoritma VHDL</i> .....	19
3.3.1	Komponen UART.....	21
3.3.2	Komponen <i>shiftregister</i> .....	23
3.3.3	Komponen RAM .....	27
3.3.4	Komponen <i>general clock</i> .....	31
3.3.5	Komponen <i>display master</i> .....	32
3.4	<i>Implementasi algoritma pada FPGA</i> .....	35
3.4.1	Compiling .....	36
3.4.2	Simulation.....	36
3.4.3	Programmer .....	39
<b>BAB 4</b>	<b>HASIL DAN ANALISIS</b> .....	<b>40</b>
4.1	<i>Analisa pengaruh baud rate terhadap error rate pada komunikasi UART</i> .....	40
4.1.1	Tujuan pengujian .....	40
4.1.2	Cara pengujian.....	40
4.1.3	Hasil pengujian .....	41
4.2	<i>Pengujian respon waktu sistem</i> .....	41
4.2.1	Tujuan pengujian .....	41
4.2.2	Cara pengujian.....	41
4.2.3	Hasil pengujian.....	42
4.3	<i>Analisa jumlah slave yang dapat ditangani</i> .....	44
4.3.1	Tujuan analisa.....	44
4.3.2	Cara analisa .....	44
4.3.3	Hasil analisa.....	44
A.	Analisa berdasarkan jumlah pin I/O FPGA .....	44
B.	Analisa berdasarkan <i>logic element</i> .....	45
4.4	<i>Pengujian Validasi Sistem</i> .....	45
4.4.1	Tujuan pengujian .....	45
4.4.2	Cara pengujian.....	46
4.4.3	Hasil pengujian.....	46
<b>BAB 5</b>	<b>KESIMPULAN DAN SARAN</b> .....	<b>47</b>
5.1	<i>Kesimpulan</i> .....	47

5.2 *Saran* .....47

**DAFTAR REFERENSI.....48**