

DAFTAR GAMBAR

Gambar 2.1	RFID tag	7
Gambar 2.2	Ilustrasi pengiriman data menggunakan UART.....	8
Gambar 2.3	Ilustrasi <i>shift register</i>	9
Gambar 2.4	Ilustrasi struktur FPGA	10
Gambar 2.5	Tampilan <i>software</i> Quartus Altera Version 12.1	11
Gambar 2.6	Tampilan <i>software</i> Modelsim-Altera	11
Gambar 2.7	Ilustrasi <i>relay</i>	12
Gambar 3.1	Gambaran umum sistem.....	13
Gambar 3.2	Diagram alir umum sistem.....	14
Gambar 3.3	Diagram blok RFID reader.....	14
Gambar 3.4	RFID Reader MFRC522.....	15
Gambar 3.5	Diagram blok sederhana modul MFRC522	16
Gambar 3.6	Arduino Nano.....	16
Gambar 3.7	<i>Logic Level Converter</i> (LLC)	17
Gambar 3.8	FPGA DE1 Altera Cyclone 2.....	18
Gambar 3.9	Diagram alir algoritma VHDL.....	20
Gambar 3.10	Ilustrasi diagram blok pada FPGA.....	20
Gambar 3.11	Ilustrasi diagram blok pada FPGA ketika menangani <i>multislave</i>	21
Gambar 3.12	Komponen UART	22
Gambar 3.13	Diagram alir UART	23
Gambar 3.14	Komponen <i>shiftregister</i>	24
Gambar 3.15	Diagram alir <i>shift register</i>	25
Gambar 3.16	Komponen SPRAM	27
Gambar 3.17	Diagram alir SPRAM	29
Gambar 3.18	<i>Loop</i> utama pada komponen SPRAM.....	30
Gambar 3.19	Komponen <i>general clock</i>	32
Gambar 3.20	Komponen <i>display master</i>	32
Gambar 3.21	<i>Pin</i> pada <i>seven-segment (active low)</i>	33
Gambar 3.22	Diagram alir komponen <i>display master</i>	35
Gambar 3.23	Hasil <i>compile</i>	36
Gambar 3.24	Tampilan awal saat membuka <i>software</i> Modelsim Altera	37
Gambar 3.25	Tampilan <i>windows library</i>	37
Gambar 3.26	Tampilan <i>windows object</i>	38
Gambar 3.27	Tampilan <i>windows wave</i>	38
Gambar 3.28	Tampilan <i>windows pin planner</i>	39
Gambar 3.29	Tampilan <i>windows programmer</i>	39
Gambar 4.1	Bagian pengaturan <i>baudrate</i> pada arduino	40
Gambar 4.2	Data yang dikirimkan oleh arduino.....	40
Gambar 4.3	Bagian pengaturan <i>baudrate</i> pada VHDL	41
Gambar 4.4	Pengaturan perioda <i>clock</i>	42
Gambar 4.5	Hasil pengujian menggunakan <i>1room</i>	42
Gambar 4.6	Hasil pengujian menggunakan <i>2room</i>	43
Gambar 4.7	Hasil pengujian menggunakan <i>3room</i>	43
Gambar 4.8	<i>Expansion header</i> pada FPGA.....	45